



100
#3030
Attorney Docket No. 1514.1010

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Stein
#3
6-28-02

In re Patent Application of:

Woo Young SO, et al.

Application No.: 10/068,004

Group Art Unit: Unassigned

Filed: February 8, 2002

Examiner: Unassigned

For: THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF, AND
ACTIVE MATRIX DISPLAY DEVICE AND MANUFACTURING METHOD THEREOF

SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Korean Patent Application No. 2001-10842, filed March 2, 2001.

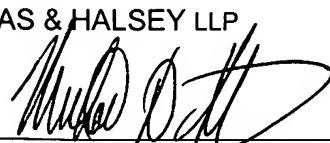
It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: 3/10/02

By:



Michael D. Stein
Registration No. 37,240

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE



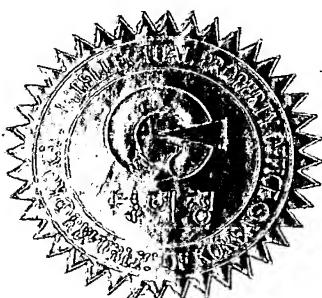
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 10842 호
Application Number

출원년월일 : 2001년 03월 02일
Date of Application

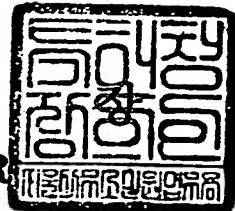
출원인 : 삼성에스디아이 주식회사
Applicant(s)



2001 년 05 월 07 일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.03.02
【발명의 명칭】	박막 트랜지스터 및 그의 제조방법과 이를 이용한 액티브 매트릭스형 표시소자 및 그의 제조방법
【발명의 영문명칭】	TFT and Method for Fabricating the Same and Active Matrix display device and Method for fabricating the Same using the TFT
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	소우영
【성명의 영문표기】	SO, WOO YOUNG
【주민등록번호】	700205-1041517
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1054-3
【국적】	KR
【발명자】	
【성명의 국문표기】	유경진
【성명의 영문표기】	YOO, KYUNG JIN
【주민등록번호】	680604-1406425
【우편번호】	441-111
【주소】	경기도 수원시 권선구 세류1동 270
【국적】	KR
【발명자】	
【성명의 국문표기】	박상일
【성명의 영문표기】	PARK, SANG .IL

1020010010842

2001/5/

【주민등록번호】 750320-1042314
【우편번호】 158-074
【주소】 서울특별시 양천구 신정4동 983-12
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 박상
수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 48 면 48,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 77,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 소오스/드레인 영역이 소오스/드레인 전극과 직접 콘택시켜 공정을 단순화할 수 있는 논-콘택홀구조의 박막 트랜지스터 및 그의 제조방법에 관한 것이다. 또한, 본 발명은 논-콘택홀 구조의 박막 트랜지스터를 이용한 액티브 매트릭스형 표시소자 및 그의 제조방법에 관한 것이다.

본 발명의 박막 트랜지스터의 제조방법은 절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와; 상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와; 상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와; 상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와; 상기 노출된 반도체층으로 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역을 형성하는 단계와; 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계를 포함한다.

【대표도】

도 31

【색인어】

반도체층, 오프 셋 영역, 게이트 보호층, 게이트 측벽, 실리사이드막

【명세서】**【발명의 명칭】**

박막 트랜지스터 및 그의 제조방법과 이를 이용한 액티브 매트릭스형 표시소자 및 그의 제조방법{TFT and Method for Fabricating the Same and Active Matrix display device and Method for fabricating the Same using the TFT}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래의 박막 트랜지스터의 제조방법을 설명하기 위한 공정단면도,

도 2a 내지 도 2d는 종래의 박막 트랜지스터의 제조방법을 이용한 유기 전계발광 표시소자의 제조방법을 설명하기 위한 제조공정도,

도 3a 내지 도 3l은 본 발명의 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 제조공정도,

도 4는 본 발명의 실시예에 따른 유기 전계발광 표시소자의 개략적인 회로 구성도,

도 5는 본 발명의 실시예에 따른 유기 전계발광 표시소자의 평면구조도,

도 6a 내지 도 6q는 도 5의 5A-5A'선에 따른 본 발명의 유기 전계발광표시소자의 제조방법을 설명하기 위한 공정단면도,

도 7 및 도 8은 본 발명의 유기 전계발광 표시소자를 제조하는 방법에 있어서, 박막 트랜지스터의 드레인 전극과 유기 전계발광소자의 양극을 전기적으로 연결시켜 주기 위한 콘택을 형성하는 다른 예를 설명하기 위한 도면,

도 9는 도 5의 5B-5B'선에 따른 본 발명의 유기전계발광표시소자의 제조방법을 설명하기 위한 단면구조도,

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 박막 트랜지스터에 관한 것으로서, 보다 구체적으로는 공정을 단순화할 수 있는, 논-콘택홀(non-contact hole)의 소오스/드레인 전극을 갖는 박막 트랜지스터 및 그의 제조방법에 관한 것이다. 또한, 본 발명은 논-콘택홀의 소오스/드레인 전극을 갖는 박막 트랜지스터를 이용한 유기 전계발광 소자 및 그의 제조방법에 관한 것이다.

<10> 최근, 유기 전계 발광 소자를 이용한 유기 전계발광 표시장치가 CRT나 LCD를 대신하여 평판 표시장치로서 주목받고 있다. 이는 동일한 화면 사이즈를 갖는 CRT에 비해 유기 전계 발광 표시장치의 두께, 무게, 크기 및 소비전력이 월등히 작기 때문이다. 또한, 유기 전계 발광 소자는 스스로 발광하기 때문에 LCD에서는 필요한 백라이트 어셈블리가 필요 없어 LCD 보다 유기 전계 발광 표시장치를 경량화 박형화시킬 수 있고, 시야각에도 제한이 없어 차세대의 평판 표시장치로서 주목받고 있는 것이다.

<11> 최근에는 유기 전계 발광 소자와 이를 구동시키는 박막 트랜지스터를 접목시킨 유기 전계 발광 표시장치의 개발이 활발히 진행되고 있다.

<12> 도 1a 내지 도 1e는 종래의 박막 트랜지스터의 제조공정도를 도시한 것이다.

<13> 도 1a를 참조하면, 유리기판 또는 합성수지와 같은 투명한 절연기판(10)상에 벼퍼층(11)을 형성하고, 상기 벼퍼층(11)상에 폴리실리콘막을 증착한 다음 패터닝하여 반도

체층(12)을 형성한다.

<14> 도 1b를 참조하면, 상기 반도체층(12)을 포함한 베퍼층(11)상에 게이트 절연막(13)을 형성하고, 게이트 절연막(13)상에 게이트 전극물을 증착한 다음 패터닝한다. 따라서, 반도체층(12) 상부의 게이트 절연막(13)상에 게이트(14)을 형성한다.

<15> 이어서, 상기 게이트(14)를 마스크로 하여 상기 반도체층(12)으로 소정 도전형, 예를 들면 n형 또는 p형 도전형의 저농도 불순물을 이온주입하여 저농도 소오스/드레인 영역(15-1), (15-2)을 형성한다.

<16> 도 1c를 참조하면, 상기 게이트(14)를 양극산화하여 양극산화막(16)을 형성한다. 예를 들어, 게이트(14)가 Al으로 이루어지는 경우, 양극산화막(16)으로 Al_2O_3 가 형성된다.

<17> 이어서, 상기 반도체층(12)으로 상기 저농도 소오스/드레인 영역(15-1), (15-2)과 동일 도전형의 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역(17-1), (17-2)을 형성한다.

<18> 도 1d를 참조하면, 기판전면에 충간 절연막(18)을 형성한 다음, 상기 고농도 소오스/드레인 영역(17-1), (17-2)이 노출되도록 상기 충간 절연막(18)과 게이트 절연막(13)을 식각하여 콘택홀(19-1), (19-2)을 형성한다.

<19> 이어서, 상기 콘택홀(19-1), (19-2)을 포함한 상기 충간 절연막(18)상에 금속막을 증착한 다음 패터닝하여 상기 콘택홀(19-1), (19-2)을 통해 상기 고농도 소오스/드레인 영역(17-1), (17-2)과 콘택되는 소오스/드레인 전극(20-1), (20-2)을 형성한다. 이로써, 종래의 저농도 소오스/드레인 영역(15-1), (15-2)과 고농도 소오스/드레인 영역(17-1),

(17-2)의 LDD 구조를 갖는 박막 트랜지스터가 제조된다.

<20> 종래의 박막 트랜지스터를 LDD 구조대신에 오프셋 구조로 형성하고자 하는 경우에 는 도 1b의 게이트(14) 형성공정후 저농도 불순물을 이온주입하는 공정을 생략하고 바로 도 1c의 게이트(14)의 양극산화공정을 수행한 후 고농도 불순물을 이온주입하여 상기 게이트(14)와 일정거리만큼 떨어진 고농도 소오스/드레인 영역을 형성하면 오프셋구조를 갖는 박막 트랜지스터가 제조된다.

<21> 상기한 바와같은 종래의 LDD 구조 또는 오프셋구조를 갖는 박막 트랜지스터의 제조 방법에 따르면, 반도체층(12)을 형성하기 위한 제1마스크, 게이트(14)를 형성하기 위한 제2마스크, 콘택홀(19-1), (19-2)을 형성하기 위한 제3마스크, 소오스/드레인 전극 (20-1), (20-2)을 형성하기 위한 제4마스크 등의 4매의 마스크가 요구되어 제조단가가 상승하는 문제점이 있었다.

<22> 또한, 종래의 박막 트랜지스터의 제조방법은 LDD 구조를 포토레지스트패턴을 이용 하여 형성하는 대신에 양극산화막을 이용하여 형성함으로써 셀프-얼라인 방식으로 형성 할 수는 있으나, 게이트를 양극산화하여 양극산화막을 형성하기 위해서는 별도의 새로 운 설비를 사용하여야 하며 공정이 복잡해지는 문제점이 있었다.

<23> 게다가, 종래의 박막 트랜지스터는 고농도 소오스/드레인 영역의 폴리실리콘막과 소오스/드레인 전극의 금속막이 직접 콘택되므로 콘택저항이 증가하여 전체적으로 소자의 성능을 저하시키는 문제점이 있었다.

<24> 도 2a 내지 도 2d는 도 1a 내지 도 1e에 도시된 박막 트랜지스터의 제조방법을 이용한 유기 전계발광 표시소자의 제조방법을 설명하면 다음과 같다.

<25> 도 2a를 참조하면, 도 1a 내지 도 1e에 도시된 바와같은 방법으로 투명한 절연기판(10)상에 LDD 구조를 갖는 박막 트랜지스터를 제조한 다음, 제1층간 절연막(18)상에 제2층간 절연막(21)을 형성한다. 이어서, 상기 소오스/드레인 전극(20-1), (20-2) 중 하나, 예를 들면 드레인 전극(20-2)이 노출되도록 상기 제2층간 절연막(21)을 식각하여 콘택홀(22)을 형성한다.

<26> 도 2b를 참조하면, 상기 콘택홀(22)을 포함한 상기 제2층간 절연막(21)상에 유기 전계발광 표시소자의 양극을 형성하기 위하여 투명도전막을 증착한다. 상기 투명도전막을 패터닝하여 상기 콘택홀(22)을 통해 상기 드레인 전극(20-2)과 콘택되는 화소전극(23) 즉, 유기 전계발광 표시소자의 양극(23)을 형성한다.

<27> 이때, 유기 전계발광 표시소자의 양극(23)이 상기 박막 트랜지스터의 드레인 전극(20-2)과 콘택되었으나, 상기 양극(23)이 박막 트랜지스터의 소오스 전극(20-1)과 콘택될 수도 있다.

<28> 도 2c를 참조하면, 상기 양극(23)을 포함한 제2층간 절연막(21)상에 제3층간 절연막(24)을 증착한다. 상기 유기 전계발광 표시소자의 유기박막층을 위한 콘택홀을 형성하기 위하여 상기 양극(23)이 노출되도록 상기 제3층간 절연막(24)을 식각하여 콘택홀(25)을 형성한다.

<29> 도 2d를 참조하면, 상기 콘택홀(25)을 통해 양극(23)과 콘택되는 유기박막층(26)을 형성하고, 그위에 음극(27)을 형성한다. 이로써, 유기 전계발광 표시소자가 제조된다.

<30> 상기한 바와같은 유기 전계발광 표시소자는 상기한 박막 트랜지스터를 형성하기 위한 4매의 마스크외에, 상기 양극(23)과 드레인 전극(20-2)을 콘택시키기 위한 콘택홀

(22)을 형성하기 위한 제5마스크, 상기 양극(23)을 형성하기 위한 제6마스크 및 상기 유기박막충(26)과 상기 양극(23)을 콘택시키기 위한 콘택홀(25)을 형성하기 위한 제7마스크의 3매의 마스크가 더 필요하다.

<31> 따라서, 유기 전계 발광 표시소자의 공정 수 및 공정시간이 길어지고, 마스크 제작 비용으로 인해 제품의 가격이 상승되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<32> 따라서, 본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 셀프얼라인 방식으로 LDD 또는 오프셋구조를 형성하여 공정을 단순화하고 공정마진을 확보할 수 있는 박막 트랜지스터 및 그의 제조방법과 이를 이용한 액티브 매트릭스형 표시소자 및 그의 제조방법을 제공하는 데 그 목적이 있다.

<33> 본 발명의 다른 목적은 스페이서를 이용하여 LDD 또는 오프셋 구조를 형성하여 줌으로써 공정을 단순화할 수 있는 박막 트랜지스터 및 그의 제조방법과 이를 이용한 액티브 매트릭스형 표시소자 및 그의 제조방법을 제공하는 데 그 목적이 있다.

<34> 본 발명의 다른 목적은 콘택홀없이 소오스/드레인 전극과 소오스/드레인영역을 직접 콘택시켜 줌으로써 공정을 단순화할 수 있는 LDD 또는 오프셋구조를 갖는 박막 트랜지스터 및 그의 제조방법과 이를 이용한 액티브 매트릭스형 표시소자의 제조방법을 제공하는 데 있다.

<35> 본 발명의 또 다른 목적은 소오스/드레인 전극의 접촉저항을 감소시킬 수 있는 LDD 또는 오프셋 구조를 갖는 박막 트랜지스터 및 그의 제조방법과 이를 이용한 액티브 매트릭스형 표시소자의 제조방법을 제공하는 데 있다.

<36> 본 발명의 또 다른 목적은 소오스/드레인 영역상에 실리사이드막을 형성하여 줌으로써, 접속저항을 감소시키고, 소오스/드레인 전극형성시 쇠각선택비를 향상시켜 공정마진을 확보하고, 고농도 불순물 이온주입시 반도체층이 손상되는 것을 방지할 수 있는 박막 트랜지스터 및 그의 제조방법과 이를 이용한 액티브 매트릭스형 표시소자 및 그의 제조방법을 제공하는 데 그 목적이 있다.

<37> 본 발명의 또 다른 목적은 게이트를 캡핑물질로서 감싸줌으로써 소오스/드레인 영역을 위한 불순물 이온주입시 게이트의 손상을 방지할 수 있는 박막 트랜지스터 및 그의 제조방법과 이를 이용한 액티브 매트릭스형 표시소자를 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

<38> 상기한 바와같은 목적을 달성하기 위한 본 발명은 절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와; 상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와; 상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와; 상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와; 상기 노출된 반도체층으로 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역을 형성하는 단계와; 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법을 제공하는 것을 특징으로 한다.

<39> 또한, 본 발명은 절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와; 상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와; 상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와; 상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도

체층을 노출시키는 단계와; 상기 노출된 반도체층상에 실리사이드막을 형성하는 단계와; 상기 실리사이드막하부의 반도체층으로 고농도 불순물을 이온주입하여, 상기 게이트와 일정거리만큼 떨어진 오프셋구조를 갖는 고농도 소오스/드레인 영역을 형성하는 단계와; 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법을 제공하는 것을 특징으로 한다.

<40> 또한, 본 발명은 절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와; 상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와; 상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와; 상기 게이트를 마스크로 하여 상기 반도체층으로 저농도의 불순물을 이온주입하여 저농도 소오스/드레인 영역을 형성하는 단계와; 상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와; 상기 노출된 반도체층상에 실리사이드막을 형성하는 단계와; 상기 실리사이드막하부의 반도체층으로 상기 저농도 소오스/드레인 영역을 위한 불순물과 동일 도전형을 갖는 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역을 형성하여 LDD 구조를 형성하는 단계와; 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법을 제공하는 것을 특징으로 한다.

<41> 또한, 본 발명은 절연기판상에 형성된 반도체층과; 상기 반도체층의 양측이 노출되도록 상기 반도체층상에 형성된 게이트 절연막과; 상기 게이트 절연막상에 형성된 게이트와; 상기 게이트상부에 형성된 게이트 캡핑층과; 상기 게이트 절연막상의 상기 게이트

및 게이트 캡핑층의 측벽에 형성된 스페이서와; 상기 노출된 반도체층에 형성된 고농도의 소오스/드레인 영역과; 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 포함하는 박막 트랜지스터를 제공하는 것을 특징으로 한다.

<42> 또한, 본 발명은 절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와; 상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와; 상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와; 상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와; 상기 노출된 반도체층으로 상기 고농도 불순물을 이온주입하여, 상기 게이트로부터 일정거리만큼 떨어진 오프셋구조를 갖는 고농도 소오스/드레인 영역을 형성하는 단계와; 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계와; 기판전면에 평탄화막을 형성하는 단계와; 제4마스크를 사용하여 상기 소오스/드레인 전극중 하나가 노출되도록 상기 평탄화막을 식각하여 콘택홀을 형성하는 단계와; 제5마스크를 사용하여 상기 콘택홀을 포함한 층간 절연막상에 화소전극을 형성하는 단계를 포함하는 액티브 매트릭스형 표시소자의 제조방법을 제공하는 것을 특징으로 한다.

<43> 또한, 본 발명은 절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와; 상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와; 상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와; 상기 게이트를 마스크로 하여 상기 반도체층으로 저농도의 불순물을 이온주입하여 저농도 소오스/드레인 영역을 형성하는 단계와; 상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와; 상기 노출된 반

도체층으로 상기 저농도 소오스/드레인 영역을 위한 불순물과 동일 도전형을 갖는 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역을 형성하여 LDD구조를 형성하는 단계와; 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계와; 기판전면에 평탄화막을 형성하는 단계와; 제4마스크를 사용하여 상기 소오스/드레인 전극중 하나가 노출되도록 상기 평탄화막을 식각하여 콘택홀을 형성하는 단계와; 제5마스크를 사용하여 상기 콘택홀을 포함한 층간 절연막상에 화소전극을 형성하는 단계를 포함하는 액티브 매트릭스형 표시소자의 제조방법을 제공하는 것을 특징으로 한다.

<44> 또한, 본 발명은 절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와; 상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와; 상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와; 상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와; 상기 노출된 반도체층상에 실리사이드막을 형성하는 단계와; 상기 실리사이드막하부의 반도체층으로 고농도 불순물을 이온주입하여, 상기 게이트로부터 일정거리만큼 떨어진 오프셋구조를 갖는 소오스/드레인 영역을 형성하는 단계와; 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계와; 기판전면에 평탄화막을 형성하는 단계와; 제4마스크를 사용하여 상기 소오스/드레인 전극중 하나가 노출되도록 상기 평탄화막을 식각하여 콘택홀을 형성하는 단계와; 제5마스크를 사용하여 상기 콘택홀을 포함한 층간 절연막상에 양극을 형성하는 단계와; 상기 양극상에 유기박막층을 형성하는 단계와; 상기 유기박막층상에 음극을 형성하는 단계를 포함하는 액티브 매트릭스형 표시소자의 제조방법을 제공하는 것을

특징으로 한다.

<45> 또한, 본 발명은 절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와; 상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와; 상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와; 상기 게이트를 마스크로 하여 상기 반도체층으로 저농도의 불순물을 이온주입하여 저농도 소오스/드레인 영역을 형성하는 단계와; 상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와; 상기 노출된 반도체층상에 실리사이드막을 형성하는 단계와; 상기 실리사이드막하부의 반도체층으로 상기 저농도 소오스/드레인 영역을 위한 불순물과 동일 도전형을 갖는 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역을 형성하여 LDD 구조를 형성하는 단계와; 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계와; 기판전면에 평탄화막을 형성하는 단계와; 제4마스크를 사용하여 상기 소오스/드레인 전극중 하나가 노출되도록 상기 평탄화막을 식각하여 콘택홀을 형성하는 단계와; 제5마스크를 사용하여 상기 콘택홀을 포함한 충간 절연막상에 양극을 형성하는 단계와; 상기 양극상에 유기박막층을 형성하는 단계와; 상기 유기박막층상에 음극을 형성하는 단계를 포함하는 액티브 매트릭스형 표시소자의 제조방법을 제공하는 것을 특징으로 한다.

<46> 또한, 본 발명은 서로 교차하도록 절연기판상에 배열된 게이트선 및 데이터선과; 상기 게이트선에 교차하고 상기 데이터선에 평행하게 배열된 전원인가선과; 상기 게이트선 및 데이터선과 전원인가선에 의해 한정되는 화소영역에 형성된 화소를 포함하며, 상기 화소는 제1게이트, 제1반도체층 및 제1소오스/드레인 전극을 구비한 제1박막 트랜지

스터, 제2게이트, 제2반도체층 및 제2소오스/드레인 전극을 구비한 제2박막 트랜지스터, 제1 및 제2전극을 구비한 캐패시터 및 화소전극을 포함하는 액티브 매트릭스형 표시소자에 있어서, 상기 제1박막 트랜지스터의 상기 제1소오스/드레인 전극은 상기 제1반도체층과 직접 콘택되고, 상기 제1소오스/드레인 전극중 하나는 연결패드를 통해 상기 캐패시터의 제1전극에 연결되며, 상기 제2박막 트랜지스터의 상기 제2소오스/드레인 전극은 상기 제2반도체층과 직접 콘택되고, 상기 제2소오스/드레인 전극중 하나는 콘택홀을 통해 상기 화소전극과 콘택되는 액티브 매트릭스형 표시소자를 제공하는 것을 특징으로 한다.

<47> 상기 액티브 매트릭스형 표시소자에 있어서, 상기 제1박막 트랜지스터의 제1게이트는 상기 게이트선으로부터 연장 형성되고, 상기 제2박막 트랜지스터의 제2게이트는 상기 제1캐패시터의 제1전극으로부터 연장형성되며, 상기 제2캐패시터의 제2전극은 상기 전원인가선으로부터 연장형성되고, 상기 제2박막 트랜지스터의 제2소오스/드레인 전극중 다른 하나는 상기 전원인가선으로부터 연장형성되며, 상기 제1박막 트랜지스터의 소오스/드레인 전극중 다른 하나는 상기 데이터선으로부터 연장형성되는 것을 특징으로 한다.

<48> 또한, 본 발명은 서로 교차하도록 절연기판상에 배열된 게이트선 및 데이터선과; 상기 게이트선에 교차하고 상기 데이터선에 평행하게 배열된 전원인가선과; 상기 게이트선 및 데이터선과 전원인가선에 의해 한정되는 화소영역에 형성된, 제1 및 제2박막 트랜지스터, 캐패시터 및 화소전극을 구비한 화소를 포함하는 액티브 매트릭스형 표시소자에 있어서, 상기 절연기판상에 형성된 제1박막 트랜지스터의 제1반도체층 및 상기 제2박막 트랜지스터의 제2반도체층과; 상기 제1 및 제2반도체

층의 양측이 노출되도록 상기 제1 및 제2반도체층에 각각 형성된 제1 및 제2게이트 절연막 그리고 기판상에 형성된 제3게이트 절연막과; 상기 제1 및 제2게이트 절연막상에 각각 형성된, 그의 상부에 각각 제1 및 제2캡핑층을 구비하는 상기 제1박막 트랜지스터의 제1게이트 및 제2게이트와; 상기 제3게이트 절연막상에 형성된, 그의 상부에 유전막을 구비한 상기 캐패시터의 제1전극과; 상기 제1 및 제2박막 트랜지스터의 제1 및 제2게이트와 상기 캐패시터의 제1전극의 측벽에 형성된 스페이서와; 상기 노출된 제1반도체층에 형성된 제1박막 트랜지스터의 고농도/소오스 영역 및 상기 노출된 제2반도체층상에 형성된 제2박막 트랜지스터의 고농도/소오스 영역과; 상기 제1 및 제2소오스/드레인 영역과 직접 콘택되도록 기판상에 각각 형성된 제1 및 제2박막 트랜지스터의 제1 및 제2소오스/드레인 전극과; 상기 캐패시터의 유전막상에 형성된 캐패시터의 제2전극과; 상기 제1 및 제2박막 트랜지스터의 제1 및 제2소오스/드레인 전극중 하나를 각각 노출시키는 제1 및 제2콘택홀과 상기 캐패시터의 제1전극을 노출시키는 제3콘택홀을 구비한 평탄화막과; 상기 평탄화막상에 상기 제1콘택홀을 통해 상기 제2박막 트랜지스터의 제2소오스/드레인 전극중 하나와 연결되도록 형성된 화소전극과; 상기 평탄화막상에 상기 제2 및 제3콘택홀을 통해 상기 제1박막 트랜지스터의 제1소오스/드레인 전극중 하나와 상기 캐패시터의 제1전극을 연결하도록 형성된 연결패드를 구비하는 액티브 매트릭스형 표시소자를 제공하는 것을 특징으로 한다.

<49> 또한, 본 발명은 서로 교차하도록 절연기판상에 배열된 게이트선 및 데이터선과; 상기 게이트선에 교차하고 상기 데이터선에 평행하게 배열된 전원인가선과;

상기 게이트선 및 데이터선과 전원인가선에 의해 한정되는 화소영역에 형성된, 제1 및 제2박막 트랜지스터, 캐패시터 및 화소전극을 구비한 화소를 포함하는 액티브 매트릭스 형 표시소자를 제조하는 방법에 있어서, 상기 기판상에 제1마스크를 이용하여 제1박막 트랜지스터의 제1반도체층과 제2박막 트랜지스터의 제2반도체층을 형성하는 단계와; 상기 제1 및 제2반도체층을 포함하는 기판상에 게이트 절연막을 형성하는 단계와; 제2마스크를 이용하여 상기 제1 및 제2반도체층상부의 게이트 절연막상에 각각 제1 및 제2게이트 캡핑층을 포함하는 제1 및 제2게이트와 게이트 절연막상에 유전막을 포함하는 상기 캐패시터의 제1전극 그리고 상기 게이트선을 형성하는 단계와; 상기 제1 및 제2게이트의 측벽과 제1전극의 측벽에 스페이서를 형성함과 동시에 상기 제1 및 제2반도체층을 노출시키는 단계와; 상기 노출된 제1반도체층에 제1박막 트랜지스터의 제1고농도 소오스/드레인 영역과 상기 노출된 제2반도체층에 제2박막 트랜지스터의 제2고농도 소오스/드레인 영역을 형성하는 단계와; 제3마스크를 이용하여 상기 제1고농도 소오스/드레인 영역과 직접 콘택트되는 제1소오스/드레인 전극 및 상기 제2고농도 소오스/드레인 영역과 직접 콘택트되는 제2소오스/드레인 전극 그리고 상기 캐패시터의 유전막상에 제2전극 그리고 기판상에 상기 데이터선 및 전원인가선을 형성하는 단계와; 기판전면에 평탄화막을 형성하는 단계와; 제4마스크를 이용하여 상기 평탄화막을 식각하여 상기 제1고농도 소오스/드레인 영역중 하나를 노출시키는 제1콘택홀, 상기 제2고농도 소오스/드레인 영역중 하나를 노출시키는 제2콘택홀 및 상기 캐패시터의 제1전극을 노출시키는 제3콘택홀을 형성하는 단계와; 제5마스크를 이용하여 상기 제1콘택홀을 통해 상기 제1고농도 소오스/드레인 영역중 하나에 연결되는 화소전극과, 상기 제2 및 제3콘택홀을 통해 상기 제2박막 트랜지스터의 제2고농도 소오스/드레인 영역중 하나와 상기 캐패시터의 제1전극을 연결하기 위

한 연결패드를 형성하는 단계를 포함하는 액티브 매트릭스형 표시소자의 제조방법을 제공하는 것을 특징으로 한다.

<50> 이하, 본 발명의 실시예를 첨부된 도면에 의거하여 설명하면 다음과 같다.

<51> 도 3a 내지 도 31은 본 발명의 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 공정단면도를 도시한 것이다.

<52> 도 3a 및 도 3b는 기판상에 반도체층을 형성하기 위한 공정으로서, 먼저 투명한 절연기판(30)상에 베퍼층으로서 SiO_2 막(31)을 형성하고, 그위에 폴리실리콘막(32)을 형성한다. 이때, 상기 폴리실리콘막(32)을 형성하는 방법은 비정질 실리콘막을 증착한 다음 소정의 열처리공정에 의해 폴리실리콘으로 결정화하거나 또는 직접 폴리실리콘막을 증착하여 형성할 수 있다.

<53> 이어서, 반도체층을 형성하기 위한 제1마스크(도면상에는 도시되지 않음)을 이용하여 상기 폴리실리콘막을 패터닝한다. 이로써, 베퍼층(31)상에 반도체층(33)이 형성되어 진다.

<54> 상기 베퍼층(31)은 절연기판에서 발생되는 나트륨 이온과 같은 불순물들이 반도체층(32)으로 유입되는 것을 차단시켜 주는 역할을 한다.

<55> 도 3c 및 도 3d는 게이트를 형성하기 위한 공정으로서, 먼저 상기 반도체층(33)을 포함하는 베퍼층(31)상에 게이트 절연막(34), 게이트 전극물질(35) 및 게이트 캡핑물질(36)을 순차적으로 형성한다. 이때, 게이트 절연막(34)과 게이트 캡핑물질(36)로 산화막(SiO_2) 또는 질화막($SiNx$)을 사용한다.

<56> 이어서, 도면상에는 도시되지 않았으나, 게이트 형성용 제2마스크를 이용하여 상기

게이트 캡핑물질(36)과 게이트 전극물질(35)을 순차적으로 식각하여 반도체층(33) 상부의 게이트 절연막(34)상에 게이트(37)와 게이트 캡핑층(38)을 형성한다.

<57> 도 3e는 저농도 소오스/드레인 영역을 형성하기 위한 공정으로서, 상기 반도체층(33)으로 상기 게이트(37)를 마스크로 하여 소정 도전형, 예를 들면 p형 또는 n형의 저농도 불순물을 이온주입한다. 따라서, 게이트(37)양측의 반도체층(33)에 저농도 소오스/드레인 영역(39-1), (39-2)을 형성한다.

<58> 이때, 게이트(37)상에는 게이트 캡핑층(38)이 형성되어 소오스/드레인 영역(39-1), (39-2)을 위한 저농도 불순물이 게이트(37)로 주입되는 것이 방지되므로, 게이트(37)에서 힐락(hilllock)이나 크랙(crack) 같은 불량이 발생되는 것을 방지한다.

<59> 도 3f 및 도 3g는 게이트(37)의 측벽에 스페이서를 형성하기 위한 공정으로서, 먼저 게이트(37)를 포함한 게이트 절연막(34)상에 스페이서용 절연막(40), 예를 들면 SiO_2 막 또는 $SiNx$ 막을 증착한 다음 에치백하여 게이트(37)의 측벽에 스페이서(41)를 형성한다.

<60> 이때, 상기 스페이서(41)를 형성하기 위한 절연막(40)의 식각시 그하부의 게이트 절연막(34)도 식각되어 저농도의 소오스/드레인 영역(39-1), (39-2)을 노출시켜준다.

<61> 도 3h와 도 3i는 노출된 저농도의 소오스/드레인 영역(39-1), (39-2)상에 실리사이드막을 형성하기 위한 공정으로서, 먼저 기판전면에 걸쳐 고용점 금속막(42)을 증착한 다음 실리사이드공정을 수행하면 반도체층(33)의 실리콘과 금속막(42)이 반응한다. 이로써, 저농도의 소오스/드레인 영역(39-1), (39-2)의 노출된 부분에만 실리사이드막(43-1), (43-2)이 형성되고 나머지 부분에서는 금속막(42)이 그대로 존재하게 된다.

<62> 따라서, 남아있는 금속막(42)을 제거하면 저농도의 소오스/드레인 영역(39-1), (39-2)에만 실리사이드막(43-1), (43-2)을 형성한다. 이때, 고용점 금속막(42)으로 크롬 막 또는 니켈을 사용하면 실리사이드막(43-1), (43-2)은 크롬 실리사이드막 또는 니켈 실리사이드막이 된다.

<63> 도 3j는 고농도 소오스/드레인 영역을 형성하기 위한 공정으로서, 상기 게이트(37)와 스페이서(41)를 마스크로 하여 상기 저농도 소오스/드레인 영역(39-1), (39-2)과 동일한 도전형을 갖는 불순물을 이온주입하여 실리사이드막(43-1), (43-2)하부의 반도체층에 셀프-얼라인 방식으로 고농도 소오스/드레인 영역(44-1), (44-2)을 형성한다. 이로서, 소오스/드레인 영역은 저농도 접합영역(39-1), (39-2)과 고농도 접합영역(44-1), (44-2)으로 된 LDD 구조를 갖는다.

<64> 상기 고농도 소오스/드레인 영역(44-1), (44-2)을 형성하기 위한 이온주입공정시, 실리사이드막(43-1), (43-2)을 통해 반도체층(33)으로 고농도 불순물을 이온주입하기 때문에, 상기 실리사이드막(43-1), (43-2)에 의해 반도체층(33)이 보호됨으로써 이온주입에 의해 반도체층(33)의 손상을 최소화할 수 있다.

<65> 도 3k와 도 3l은 소오스/드레인 전극을 형성하기 위한 공정으로서, 먼저 기판전면에 소오스/드레인전극용 금속물질(45)을 증착한다. 이어서, 도면상에는 도시되지 않았으나, 소오스/드레인 전극을 형성하기 위한 제3마스크를 이용하여 패터닝하여 노출된 실리사이드막(43-1), (43-2)과 콘택홀없이(non-contact hole) 직접 콘택되는 소오스/드레인 전극(46-1), (46-2)을 형성한다. 이로써, 본 발명의 실시예에 따른 박막 트랜지스터를 제조한다.

<66> 상기한 바와같은 본 발명의 박막 트랜지스터의 제조방법에 따르면, 반도체층(33)을 형성하기 위한 제1마스크, 게이트(37)를 형성하기 위한 제2마스크 및 소오스/드레인 전극(46-1), (46-2)을 형성하기 위한 제3마스크의 3매의 마스크만을 사용하므로써 종래의 4매의 마스크를 사용하는 박막 트랜지스터의 제조방법보다 공정을 단순화할 수 있다.

<67> 즉, 본 발명의 박막 트랜지스터의 제조방법에서는 상기 게이트(37)의 측벽에 스페이서(41)를 형성하고, 이 스페이서(41)를 마스크로 하여 셀프얼라인 형태로 LDD 구조의 소오스/드레인 영역을 형성하여 줌으로써, 종래와 같은 양극산화공정이 배제된다.

<68> 또한, 상기 스페이서(41)의 형성시 그하부의 게이트 절연막(34)을 함께 식각하여 고농도/소오스 드레인 영역(46-1), (46-2)을 노출시켜 줌으로써, 후속의 소오스/드레인 전극(46-1), (46-2)이 직접 소오스/드레인 영역(46-1), (46-2)과 콘택되어 전기적으로 연결되도록 형성하여 준다. 이로써, 종래의 소오스/드레인 전극과 소오스/드레인 영역을 전기적으로 연결시켜 주기 위한 콘택홀 공정이 배제되므로, 1매의 마스크가 감소된다.

<69> 게다가, 본 발명은 상기 게이트(37)상부에 게이트 캡핑층(38)이 형성되고, 그의 측벽에 스페이서(41)가 형성되어 게이트(37)와 소오스/드레인 전극(46-1), (46-2)을 분리시켜 준다. 그러므로, 종래와 같이 충간 절연막을 형성한 다음 콘택홀을 통해 소오스/드레인 영역과 소오스/드레인 전극을 콘택시키지 않아도 게이트(37)와 소오스/드레인 전극(46-1), (46-2)간의 충분한 절연을 확보할 수 있다.

<70> 본 발명의 박막 트랜지스터의 제조방법에 따르면, 고농도 소오스/드레인 영역(44-1), (44-2)상에 실리사이드막(43-1), (43-2)이 형성되어 있으므로, 고농도 소오스/드레인 영역(44-1), (44-2)을 형성하기 위한 이온주입시 배리어로 작용할 뿐만 아니라 소오스/드레인 전극(46-1), (46-2)을 형성하기 위한 금속막(45)의 패터닝시 식각배리어

로 작용하여 식각선택비를 향상시킬 수 있다.

<71> 상기 고농도 소오스/드레인 영역(44-1), (44-2)과 소오스/드레인 전극(46-1), (46-2)사이에 실리사이드막(43-1), (43-2)이 형성되어 콘택저항을 감소시켜 소자의 특성을 향상시킬 수 있다.

<72> 또한, 본 발명의 박막 트랜지스터의 제조방법은 저농도 소오스/드레인 영역(39-1), (39-2)을 형성하기 위한 이온주입시 게이트 캡핑층(38)에 의해 게이트(37)로 불순물이 이온주입되는 것을 방지하므로, 소자의 특성을 향상시킬 수 있다.

<73> 도 3a 내지 도 31에 도시된 실시예는 LDD 구조를 갖는 박막 트랜지스터의 제조방법에 관한 것이나, 게이트 형성후 도 3e의 저농도 불순물을 이온주입하는 공정을 생략한 다음 스페이서(41)를 형성한 후 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역(44-1), (44-2)을 이온주입하면 오프셋구조를 갖는 박막 트랜지스터를 제조할 수 있다.

<74> 도 4은 본 발명의 실시예에 따른 유기 전계발광 표시소자의 회로 구성도를 도시한 것이다.

<75> 본 발명의 실시예에 따른 유기 전계발광 표시소자는 빛을 투과시키는 투명한 절연기판(100)과, 상기 기판(100)상에 형성된 신호선(150)과, 상기 신호선에 연결되어 매트릭스 형태로 배열된 화소(160)로 이루어진다.

<76> 상기 신호선(150)은 복수의 데이터선(130)과, 복수의 전원인가선(140) 및 복수의 게이트선(120)을 포함한다.

<77> 상기 복수의 데이터선(130)은 상기 화소(160)에 데이터 전압을 인가하기 위한 것으로

로서, 서로 일정간격이 유지되도록 배열된다. 상기 전원인가선(140)은 각 데이터선들(130)에 인접하여 상기 각 데이터선들(130)과 평행하게 배열되며, 유기 전계 발광 표시소자(100)가 구동하는 동안 상기 화소(160)에 항상 전원을 인가하기 위한 것이다. 상기 복수의 게이트(140)은 상기 복수의 데이터선들(130)과 복수의 전원인가선들(140)과 교차되어 서로 일정간격을 유지하여 배열되며, 상기 화소(160)의 박막 트랜지스터(TFT)를 온/오프시키기 위한 신호를 인가하기 위한 것이다.

<78> 상기 화소(160)는 상기 복수의 데이터선(130)과 복수의 게이트선(120)이 교차하는 부분에는 화소(160)가 매트릭스 형태로 배열되는데, 각 화소(160)는 도 2에 도시된 바와 같이 2개의 TFT(170, 200)와 충전용 캐패시터(180) 및 유기 전계발광 소자(300)로 구성된다.

<79> 상기 2개의 TFT(170, 200) 중 제 1 TFT(170)는 게이트선들(120)중 해당하는 하나의 게이트선에 연결되어, 상기 게이트선을 통해 인가되는 신호에 의해 구동된다. 상기 제 1TFT(170) 및 복수개의 전원인가선(140)중 해당하는 하나의 전원인가선사이에 연결된 캐패시터(180)는 유기 전계발광 표시소자(100)가 한 프레임 동안 그 화상을 유지할 수 있도록 복수개의 데이터선(130)중 해당하는 데이터선으로부터 인가되는 데이터를 유지시켜 주기 위한 충전용 캐패시터이다.

<80> 그리고, 제 2 TFT(200)는 상기 제1TFT(17) 및 캐패시터(180)에 연결되어, 유기 전계발광소자(300)를 구동시켜주기 위한 것이다.

<81> 도 5는 도 4에 도시된 유기 전계발광 표시소자(100)중 하나의 화소(160) 즉, 도 4의 'A' 부분에 대한 레이아웃을 도시한 것이다.

<82> 도 5를 참조하여 본 발명의 실시예에 따른 유기 전계발광 표시소자의 평면구조를 살펴보면, 복수개의 게이트선중 해당하는 하나의 게이트선(120)이 서로 평행하게 배열된 복수개의 데이터선중 해당하는 하나의 데이터선(130) 및 복수개의 전원인가선중 해당하는 하나의 전원인가선(140)과 교차하도록 배열된다.

<83> 상기 데이터선(130), 게이트선(120) 및 전원인가선(140)에 의해 한정되는 화소영역 중 상측부분에는 제1TFT(170)와 캐패시터(180)가 형성되고, 나머지 하측부분에는 제2TFT(200)와 유기 전계발광소자(300)가 형성된다.

<84> 상기 게이트선(120) 및 데이터선(130)에 연결되는 제1TFT(170)는 그의 게이트(174)가 게이트선(120)으로부터 연장 형성되고, 반도체층(172)은 게이트(174)의 하부에 형성되며, 상기 데이터선(130)으로부터 연장 형성된 소오스전극(176)과 드레인 전극(178)은 고농도 소오스/드레인 영역이 형성된 상기 반도체층(172)과 콘택홀없이(non-contact hole) 직접 콘택되어진다.

<85> 상기 제1TFT(170)의 드레인 전극(178)은 연결패드(315)를 통해 상기 캐패시터(180)의 제1전극(182)과 연결되고 상기 제1전극(182)상에는 상기 전원인가선(140)으로부터 연장 형성된 제2전극(184)이 배열된다.

<86> 상기 드레인 전극(178)은 콘택홀(261)을 통해 연결패드(315)에 연결되고, 상기 캐패시터(180)의 제1전극(182)은 콘택홀(262)을 통해 연결패드(315)에 연결되어 상기 제1TFT(170)와 캐패시터(180)가 서로 전기적으로 연결되어진다.

<87> 이때, 상기 캐패시터(180)의 제1전극(182)은 상기 게이트선(120) 및 게이트(174)과 동일물질로 이루어져, 상기 게이트선(120) 및 게이트(174)형성시 동시에 형성되어진다.

그리고, 상기 캐패시터(180)의 제2전극(184)은 상기 데이터선(130) 및 소오스/드레인 전극(176), (178)과 전원인가선(140)과 동일 물질로 이루어져, 데이터선(130) 및 소오스/드레인 전극(176)과 전원인가선(140)을 형성할 때 동시에 형성된다.

<88> 한편, 상기 캐패시터(180)와 전원인가선(140)에 연결된 제2TFT(200)는 상기 제1캐패시터(180)의 제1전극(182)으로부터 연장된 게이트(220)가 반도체층(210)상에 형성되고, 고농도 소오스/드레인 영역이 형성된 상기 반도체층(210)에는 상기 전원인가선(140)으로부터 연장 형성된 소오스전극(250)과 드레인 전극(255)이 콘택홀없이 직접 콘택되도록 형성된다.

<89> 제2TFT(200)의 드레인 전극(255)은 콘택홀(267)을 통해 투명전극인 유기 전계발광소자(300)의 양극(310)과 콘택되어 제2TFT(200)가 유기 전계발광소자(300)와 전기적으로 연결되어진다.

<90> 상기한 바와같은 구조를 갖는 본 발명의 유기 전계발광 표시소자의 제조방법은 도 3a 내지 도 31에 도시된 박막 트랜지스터의 제조방법을 이용하는 것으로서, 도 6a 내지 도 6q 그리고 도 7 내지 도 9을 참조하여 설명하면 다음과 같다.

<91> 도 6a 내지 도 6q는 도 5의 5A-5A' 선에 따른 단면구조로서, 제2박막 트랜지스터(200)와 유기 전계발광소자(300)의 제조공정도를 설명하기 위한 단면구조도이다. 도 9는 도 5의 5B-5B'선에 따른 단면 구조로서, 제1박막 트랜지스터(170)와 캐패시터(180)의 제조방법을 설명하기 위한 단면도를 도시한 것이다.

<92> 도 6a 및 도 6b는 기판상에 반도체층을 형성하기 위한 공정으로서, 먼저 투명한 절연기판(100)상에 베퍼층으로서 SiO_2 막(202)을 형성하고, 그위에 폴리실리콘막(210a)을

형성한다.

<93> 이어서, 반도체층을 형성하기 위한 제1마스크(도면상에는 도시되지 않음)을 이용하여 상기 폴리실리콘막(210a)을 패터닝한다. 이로써, 버퍼층(202)상에 제2박막 트랜지스터(200)의 반도체층(210)이 형성되어진다.

<94> 이때, 제2박막 트랜지스터(200)의 반도체층(210)을 형성할 때 도 9에 도시된 바와 같이 제1박막 트랜지스터(170)의 반도체층(172)도 함께 형성되어진다.

<95> 도 6c 및 도 6d는 게이트를 형성하기 위한 공정으로서, 제1박막 트랜지스터(170)의 반도체층(172)(도 9참조)과 제2박막 트랜지스터(200)의 상기 반도체층(210)을 포함하는 버퍼층(202)상에 게이트 절연막(215), 게이트 전극물질(220a) 및 게이트 캡핑물질(225a)을 순차적으로 형성한다.

<96> 이어서, 도면상에는 도시되지 않았으나, 게이트 형성용 제2마스크를 이용하여 상기 게이트 캡핑물질(225a)과 게이트 전극물질(220a)을 순차적으로 삭각하여 제2박막 트랜지스터(200)의 게이트(220) 및 게이트 캡핑층(225)을 형성한다. 또한, 도 9에 도시된 바와 같이 제1박막 트랜지스터(170)의 게이트(174) 및 게이트 캡핑층(225)을 형성함과 동시에 제1캐패시터(180)의 제1전극(182)인 하부전극과 유전막(183)을 형성한다. 이때, 상기 제1 및 제2박막 트랜지스터(170), (200)의 게이트 캡핑층(225) 및 제1캐패시터(180)의 유전막(183)으로 질화막 또는 산화막이 사용되어진다.

<97> 이때, 제1 및 제2박막 트랜지스터(170), (200)의 상기 게이트(174), (220)를 형성할 때, 도면상에는 도시되지 않았으나 상기 게이트선(130)도 동시에 형성되어진다.

<98> 도 6e는 저농도 소오스/드레인 영역을 형성하기 위한 공정으로서, 상기 제2

박막 트랜지스터(200)의 상기 반도체층(210)으로 상기 게이트(220)를 마스크로 하여 소정 도전형, 예를 들면 p형 또는 n형의 저농도 불순물을 이온주입한다. 따라서, 게이트(220)양측의 반도체층(210)에 저농도 소오스/드레인 영역(214)을 형성한다.

<99> 이와 동시에, 상기의 저농도 불순물이 제1박막 트랜지스터(170)의 게이트(174)를 마스크로 하여 상기 반도체층(172)으로 이온주입되므로, 제1박막 트랜지스터(170)의 저농도 소오스/드레인 영역(173)을 형성한다.

<100> 이때, 제1 및 제2박막 트랜지스터(170), (200)의 게이트(172), (220)상에는 게이트 캡핑층(225)가 각각 형성되고, 캐패시터(180)의 제1전극(182)상에도 유전막(183)이 형성되어, 저농도의 불순물 이온주입시 이온주입 배리어로서 작용한다. 제2박막 트랜지스터(200)의 반도체층(210)중 저농도 소오스/드레인영역(214) 사이의 반도체층(212)과 제1박막 트랜지스터(170)의 저농도 소오스/드레인 영역(173)사이의 반도체층(172)은 채널영역으로 작용한다.

<101> 도 6f 및 도 6g는 게이트(220)의 측벽에 스페이서를 형성하기 위한 공정으로이다. 먼저, 제2박막 트랜지스터(200)의 게이트(220)를 포함한 게이트 절연막(215)상에 스페이서용 절연막(230a), 예를 들면 SiO_2 막 또는 $SiNx$ 막을 증착한 다음 에치백하여 게이트(220)의 측벽에 스페이서(230)를 형성한다.

<102> 이때, 도 9를 참조하면, 제1박막 트랜지스터(170)의 게이트(174) 및 캐패시터(200)의 제1전극(182)의 측벽에도 스페이서(230)가 동시에 형성되어진다.

<103> 상기 스페이서(230)를 형성하기 위한 절연막(230a)의 식각시 그하부의 게이트 절연막(215)도 식각되어 제1 및 제2박막 트랜지스터(170), (200)의 저농도의 소오스/드레인

영역(173), (214)을 노출시켜준다.

<104> 도 6h와 도 6i는 노출된 저농도의 소오스/드레인 영역(214)상에 실리사이드막을 형성하기 위한 공정으로서, 먼저 기판전면에 걸쳐 고용점 금속막(240a)을 증착한 다음 500°C 이하의 온도에서 열처리하면 반도체층(210)의 노출된 저농도의 소오스/드레인 영역(214)상에 실리사이드막(240)이 형성되고 나머지 부분에서는 금속막(240a)이 그대로 존재하게 된다.

<105> 따라서, 남아있는 금속막(240a)을 제거하면 노출된 저농도의 소오스/드레인 영역(214)에만 실리사이드막(240)을 형성한다.

<106> 이와 동시에, 도 9에 도시된 바와같이 제1박막 트랜지스터(170)의 노출된 저농도 소오스/드레인 영역(173)상에도 실리사이드막(240)이 형성되어진다.

<107> 도 6j는 고농도 소오스/드레인 영역을 형성하기 위한 공정으로서, 제2박막 트랜지스터(200)의 상기 게이트(220)와 스페이서(240)를 마스크로 하여 상기 저농도 소오스/드레인 영역(214)과 동일한 도전형을 갖는 고농도 불순물을 이온주입하여 실리사이드막(240)하부의 반도체층에 셀프-얼라인 방식으로 고농도 소오스/드레인 영역(216)을 형성한다.

<108> 이때, 도 9에 도시된 바와같이 제1박막 트랜지스터(170)의 실리사이드막(240) 하부에도 고농도/소오스 드레인 영역(175)이 형성되어진다.

<109> 이로써, 제1 및 제2박막 트랜지스터(170), (200)의 소오스/드레인 영역은 저농도 접합영역과 고농도 접합영역(173, 175), (214, 216)으로 된 LDD 구조를 갖는다.

<110> 상기 고농도 소오스/드레인 영역(175), (216)을 형성하기 위한 이온주입공정시, 실

리사이드막(240)이 반도체층(172), (210)의 이온주입 배리어로서 작용하여 반도체층(172), (210)의 손상을 최소화할 수 있다.

<111> 도 6k와 도 6l은 소오스/드레인 전극을 형성하기 위한 공정으로서, 먼저 기판전면에 소오스/드레인전극용 금속물질(250a)을 증착하고, 도면상에는 도시되지 않았으나, 소오스/드레인 전극을 형성하기 위한 제3마스크를 이용하여 패터닝하여 노출된 실리사이드막(240)과 콘택홀없이(non-contact hole) 직접 콘택되는 제2박막 트랜지스터(200)의 소오스/드레인 전극(250), (255)을 형성한다.

<112> 그리고, 제1박막 트랜지스터(170)의 소오스/드레인 전극(176), (178)이 실리사이드막(240)과 직접 콘택되도록 형성되어진다. 도면상에는 도시되지 않았으나, 상기 제1 및 제2박막 트랜지스터(170), (200)의 소오스/드레인 전극(176, 178), (250, 255)을 형성할 때, 데이터션(130) 및 전원인가선(140)도 동시에 형성되어진다.

<113> 이로써 본 발명의 유기 전계발광 표시소자의 박막 트랜지스터(170), (200)가 형성된다.

<114> 도 6m 및 도 6p은 유기 전계발광소자의 양극을 형성하는 공정으로서, 기판전면에 중간 절연막인 평탄화막(260)을 기판전면에 형성한 다음, 도면상에는 도시되지 않았으나 콘택홀형성을 위한 제4마스크를 이용하여 상기 제2박막 트랜지스터(200)의 드레인 전극(255)이 노출되도록 상기 평탄화막(260)을 식각하여 콘택홀(267)을 형성한다.

<115> 이어서, 상기 콘택홀(267)을 포함한 평탄화막(260)상에 투명도전막(310a)을 증착한 다음, 도면상에는 도시되지 않았으나 양극형성용 제5마스크를 이용하여 상기 투명도전막(310a)을 패터닝하여 화소전극(310)을 형성한다. 이때, 상기 화소전극(310)은 유기 전계

발광소자(300)의 양극(310)으로 작용한다. 이때, 투명도전막(310a)으로 ITO막 또는 IZO막이 사용되어진다.

<116> 또한, 도 9에 도시된 바와같이, 상기 제4마스크를 사용하여 평탄화막(260)을 식각하여 콘택홀(267)을 형성할 때, 상기 제1박막 트랜지스터(170)의 드레인 전극(178)과 상기 캐패시터(180)의 제1전극(182)이 각각 노출되도록 콘택홀(261), (262)이 각각 형성되고, 상기 콘택홀(261), (262)을 통해 상기 제1박막 트랜지스터(170)의 드레인 전극(178)과 캐패시터(180)의 제1전극(182)을 연결시켜주기 위한 투명도전막으로된 연결패드(315)가 동시에 형성되어진다.

<117> 상기 유기 전계발광소자(300)의 양극(310)을 형성하기위한 콘택홀(267)을 형성하는 방법으로 도 6n과 같이 상기 제2박막 트랜지스터(200)의 드레인 전극(255) 및 버퍼층(202)이 노출되도록 콘택홀(267)을 형성하는 방법 대신에, 도 7에 도시된 바와같이 드레인 전극(267) 및 버퍼층(202)을 각각 노출시키는 콘택홀(267), (267a)을 각각 형성하거나 또는 도 8에 도시된 바와같이 상기 드레인 전극(255)만이 노출되도록 콘택홀(267)을 형성할 수도 있다.

<118> 도 6q는 상기 유기 전계발광소자(300)의 유기박막층(320)과 음극(330)을 형성하는 공정을 도시한 것으로서, 양극(310)을 포함한 평탄화막(260)상에 유기박막층(320)과 음극(330)을 순차 형성한다. 이때, 도 9에 도시된 바와같이 제1박막 트랜지스터(170)와 캐패시터(180)가 형성된 부분에는 유기박막층(320)과 음극(330)이 형성되지 않는다. 이때, 음극(330)은 양극(310)보다 일함수가 작은 금속막을 사용한다.

<119> 도면에는 도시되지 않았으나, 유기박막층(320)은 정공 수송층과 발광층 및 전자 수송층으로 구성된다. 여기서, 정공 수송층은 양극(310)으로부터 주입된 정공을 발광층으

로 전달하고, 전자 수송층은 음극(330)에서 주입된 전자를 발광층으로 전달하며, 발광층은 수송된 정공과 전자를 재결합시켜 빛을 발산시킨다. 즉, 정공과 전자가 재결합하면 발광층을 형성하는 유기 분자들이 여기되면서 여기자가 방사되고, 방사된 여기자가 비활성화되면서 발광층으로부터 빛이 발산되는 것이다.

<120> 본 발명의 유기 전계발광표시소자의 제조방법은 LDD 구조를 갖는 박막 트랜지스터를 스위칭소자로 하는 경우에 대해서 설명하였으나, 도 6d에서 제2박막 트랜지스터(200)의 게이트(220)를 형성한 후 도 6e에서 저농도 소오스/드레인 영역을 형성하는 공정을 생략하면, 고농도 소오스/드레인 영역(214)이 상기 게이트(220)로이 일정거리만큼 떨어져 형성되므로 오프셋구조를 갖는 박막 트랜지스터를 제조할 수 있다. 이는 제1박막 트랜지스터(170)의 경우도 마찬가지이다.

<121> 상기한 바와같은 본 발명의 실시예에 따른 유기 전계발광 표시소자의 제조방법에 따르면, 박막 트랜지스터를 형성하기 위한 3매의 마스크와 유기 전계발광소자율 형성하기 위한 2매의 마스크 등 총 5매의 마스크만이 사용되므로, 종래의 유기 전계발광 표시소자를 제조하기 위해 총 7매의 마스크가 사용되는 방법에 비하여 2매의 마스크를 출일 수 있다. 또한, 양극산화를 이용하지 않고 스페이서를 이용한 셀프-얼라인 방식으로 소오스/드레인 영역을 형성하여 줌으로써 공정을 단순화한다.

【발명의 효과】

<122> 상기한 바와같은 본 발명의 박막 트랜지스터 및 유기 전계발광 표시소자의 제조방법에 따르면, 소오스/드레인 영역과 소오스/드레인 전극을 직접 콘택시켜 줌으로써 마스크의 수를 감소시켜 공정을 단순화하고, 제조비용을 감소시킬 수 있다.

<123> 또한, 양극산화를 이용하지 않고 스페이서를 이용한 셀프얼라인방법으로 소오스/드레인 영역을 형성하여 줌으로써 공정 단순화 및 제조비용을 감소시킬 수 있다.

<124> 게다가, 본 발명은 소오스/드레인 영역과 소오스/드레인 전극사이에 실리사이드막을 형성하여 콘택저항을 감소시킬 수 있다. 또한, 상기 실리사이드막이 식각배리어로 작용하여 소오스/드레인 전극형성시 식각선택비를 향상시켜 줄 수 있을 뿐만 아니라 상기 실리사이드막이 소오스/드레인 영역을 형성하기 위한 이온주입시 배리어로 작용하여 반도체층의 손상을 최소화할 수 있다.

<125> 또한, 본 발명은 저농도의 소오스/드레인 영역을 위한 이온주입시 게이트 상부에 게이트 캡핑층이 형성되어 이온주입에 대한 배리어로 작용함으로써, 게이트를 보호할 수 있다.

<126> 상술한 본 발명은 유기 전계 발광 표시 장치를 예로 들어 설명한 것으로, 유기 전계 발광 표시장치에 한정되는 것은 아니며, 박막 트랜지스터를 스위칭소자로 이용하는 액정표시소자와 같은 표시소자 등에 적용가능하다.

【특허청구범위】**【청구항 1】**

절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와;

상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와;

상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와;

상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와;

상기 노출된 반도체층으로 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역을 형성하는 단계와;

상기 고농도 소오스/드레인 영역과 직접 콘택트되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 스페이서를 형성하는 방법은

게이트를 포함하는 게이트 절연막상에 절연막을 형성하는 단계와;

상기 절연막 및 게이트 절연막을 식각하여 게이트의 측벽에 스페이서를 형성함과 동시에 상기 반도체층을 노출시키는 단계로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 3】

제 2 항에 있어서, 상기 스페이서용 절연막으로 산화막 또는 질화막중 하나를 사용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 4】

제 1 항에 있어서, 상기 고농도 소오스/드레인 영역은 상기 게이트로부터 일정거리 만큼 떨어져 상기 반도체층에 형성된 오프셋구조를 갖는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 5】

제 1 항에 있어서, 상기 게이트를 형성하는 단계와 스페이서를 형성하는 단계사이에, 상기 게이트를 마스크로 하여 반도체층으로 상기 고농도 소오스/드레인 영역과 동일 도전형을 갖는 저농도 불순물을 이온주입하여 저농도 소오스/드레인 영역을 형성하는 단계를 더 포함하여 LDD 구조를 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 6】

제 5 항에 있어서, 상기 저농도 소오스/드레인 영역을 형성하기 위한 이온주입공정 시 상기 게이트 캡핑층이 게이트의 이온주입 배리어로서 작용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 7】

제 6 항에 있어서, 상기 게이트 캡핑층으로 산화막 또는 질화막중 하나를 사용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 8】

제 1 항에 있어서, 상기 스페이서를 형성하는 단계와 고농도 소오스/드레인 영역을 형성하는 단계사이에, 상기 노출된 반도체층상에 실리사이드막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 9】

제 8 항에 있어서, 상기 실리사이드막은 고농도 소오스/드레인 영역을 형성하기 위한 이온주입공정시 반도체층의 이온주입 배리어로서 작용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 10】

제 8 항에 있어서, 상기 실리사이드막은 금속막을 기판상에 증착한 다음 패터닝하여 상기 소오스/드레인 전극을 형성하는 단계에서, 금속막에 대한 식각 배리어로서 작용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 11】

제 1 항의 박막 트랜지스터의 제조방법에 의해 제조되는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 12】

절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와;
상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와;
상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와;

상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와;

상기 노출된 반도체층상에 실리사이드막을 형성하는 단계와;
상기 실리사이드막하부의 반도체층으로 고농도 불순물을 이온주입하여, 상기 게이트와 일정거리만큼 떨어진 오프셋구조를 갖는 고농도 소오스/드레인 영역을 형성하는 단계와;

상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 13】

제 12 항에 있어서, 상기 스페이서를 형성하는 방법은
게이트를 포함하는 게이트 절연막상에 절연막을 형성하는 단계와;
상기 절연막 및 게이트 절연막을 식각하여 게이트의 측벽에 스페이서를 형성함과 동시에 상기 반도체층을 노출시키는 단계로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 14】

제 13 항에 있어서, 상기 스페이서용 절연막으로 산화막 또는 질화막중 하나를 사용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 15】

제 12 항에 있어서, 상기 게이트 캡핑층으로 산화막 또는 질화막중 하나를 사용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 16】

제 12 항에 있어서, 상기 실리사이드막은 고농도 소오스/드레인 영역을 형성하기 위한 이온주입공정시 반도체층의 이온주입 배리어로서 작용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 17】

제 12 항에 있어서, 상기 실리사이드막은 금속막을 기판상에 증착한 다음 패터닝하여 상기 소오스/드레인 전극을 형성하는 단계에서, 금속막에 대한 식각 배리어로서 작용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 18】

제 12 항에 있어서, 상기 고농도 불순물은 n형 또는 p형 불순물중 하나인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 19】

제 12 항의 박막 트랜지스터의 제조방법에 의해 제조되는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 20】

절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와;
상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와;

상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와;

상기 게이트를 마스크로 하여 상기 반도체층으로 저농도의 불순물을 이온주입하여 저농도 소오스/드레인 영역을 형성하는 단계와;

상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와;

상기 노출된 반도체층상에 실리사이드막을 형성하는 단계와;

상기 실리사이드막하부의 반도체층으로 상기 저농도 소오스/드레인 영역을 위한 불순물과 동일 도전형을 갖는 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역을 형성하여 LDD 구조를 형성하는 단계와;

상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 21】

제 20 항에 있어서, 상기 스페이서를 형성하는 방법은
게이트를 포함하는 게이트 절연막상에 절연막을 형성하는 단계와;

상기 절연막 및 게이트 절연막을 식각하여 게이트의 측벽에 스페이서를 형성함과
동시에 상기 반도체층을 노출시키는 단계로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 22】

제 21 항에 있어서, 상기 스페이서용 절연막으로 산화막 또는 질화막중 하나를 사용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 23】

제 20 항에 있어서, 상기 저농도 소오스/드레인 영역을 형성하기 위한 이온주입공정시 상기 게이트 캡핑층이 게이트의 이온주입 배리어로서 작용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 24】

제 23 항에 있어서, 상기 게이트 캡핑층으로 산화막 또는 질화막중 하나를 사용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 25】

제 20 항에 있어서, 상기 실리사이드막은 고농도 소오스/드레인 영역을 형성하기 위한 이온주입공정시 반도체층의 이온주입 배리어로서 작용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 26】

제 20 항에 있어서, 상기 실리사이드막은 금속막을 기판상에 증착한 다음 패터닝하여 상기 소오스/드레인 전극을 형성하는 단계에서, 금속막에 대한 식각 배리어로서 작용하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 27】

제 20 항에 있어서, 상기 고농도 불순물은 n형 또는 p형 불순물중 하나인 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 28】

제 20 항의 박막 트랜지스터의 제조방법에 의해 제조되는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 29】

절연기판상에 형성된 반도체층과;

상기 반도체층의 양측이 노출되도록 상기 반도체층상에 형성된 게이트 절연막과;

상기 게이트 절연막상에 형성된 게이트와;

상기 게이트상부에 형성된 게이트 캡핑층과;

상기 게이트 절연막상의 상기 게이트 및 게이트 캡핑층의 측벽에 형성된 스페이서와;

상기 노출된 반도체층에 형성된 고농도의 소오스/드레인 영역과;

상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터.

【청구항 30】

제 29 항에 있어서, 상기 고농도 소오스/드레인 영역은 상기 게이트로부터 일정거리만큼 떨어져 상기 반도체층에 형성된 오프셋구조를 갖는 것을 특징으로 하는 박막 트랜지스터.

【청구항 31】

제 29 항에 있어서, 상기 스페이서하부의 고농도 소오스/드레인 영역과 게이트사이의 반도체층에 형성된, 상기 고농도 소오스/드레인 영역과 동일 도전형을 갖는 저농도 소오스/드레인 영역을 더 포함하는 LDD 구조를 갖는 것을 특징으로 하는 박막 트랜지스터.

【청구항 32】

제 29 항에 있어서, 상기 고농도 불순물은 n형 또는 p형 불순물중 하나인 것을 특징으로 하는 박막 트랜지스터.

【청구항 33】

제 29 항에 있어서, 상기 게이트 캡핑층 및 스페이서는 산화막 또는 질화막중 하나로 이루어지는 것을 특징으로 하는 박막 트랜지스터.

【청구항 34】

제 29 항에 있어서, 상기 소오스/드레인 영역과 상기 소오스/드레인 전극사이에 형성된 실리사이드막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터.

【청구항 35】

절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와;
상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와;
상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와;

상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와;
 상기 노출된 반도체층으로 상기 고농도 불순물을 이온주입하여, 상기 게이트로부터 일정거리만큼 떨어진 오프셋구조를 갖는 고농도 소오스/드레인 영역을 형성하는 단계와;
 상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계와;

기판전면에 평탄화막을 형성하는 단계와;
 제 4마스크를 사용하여 상기 소오스/드레인 전극중 하나가 노출되도록 상기 평탄화막을 식각하여 콘택홀을 형성하는 단계와;
 제5마스크를 사용하여 상기 콘택홀을 포함한 층간 절연막상에 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시소자의 제조방법.

【청구항 36】

제 35 항에 있어서, 상기 스페이서를 형성하는 단계와 고농도 소오스/드레인 영역을 형성하는 단계사이에 노출된 반도체층상에 실리사이드막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시소자의 제조방법.

【청구항 37】

제 35 항에 있어서, 상기 고농도 불순물을 n형 또는 p형 불순물중 하나인 것을 특징으로 하는 액티브 매트릭스형 표시소자의 제조방법.

【청구항 38】

제 35 항의 액티브 매트릭스형 표시소자의 제조방법에 의해 제조되는 액티브 매트릭스형 표시소자.

【청구항 39】

절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와;

상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와;

상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와;

상기 게이트를 마스크로 하여 상기 반도체층으로 저농도의 불순물을 이온주입하여 저농도 소오스/드레인 영역을 형성하는 단계와;

상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와;

상기 노출된 반도체층으로 상기 저농도 소오스/드레인 영역을 위한 불순물과 동일 도전형을 갖는 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역을 형성하여 LDD구조를 형성하는 단계와;

상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계와;

기판전면에 평탄화막을 형성하는 단계와;

제4마스크를 사용하여 상기 소오스/드레인 전극중 하나가 노출되도록 상기 평탄화막을 식각하여 콘택홀을 형성하는 단계와;

제5마스크를 사용하여 상기 콘택홀을 포함한 충간 절연막상에 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시소자의 제조방법.

【청구항 40】

제 39 항에 있어서, 상기 스페이서를 형성하는 단계와 고농도 소오스/드레인 영역을 형성하는 단계사이에 노출된 반도체층상에 실리사이드막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시소자의 제조방법.

【청구항 41】

제 39 항에 있어서, 상기 고농도 불순물을 n형 또는 p형 불순물중 하나인 것을 특징으로 하는 액티브 매트릭스형 표시소자의 제조방법.

【청구항 42】

제 39 항의 액티브 매트릭스형 표시소자의 제조방법에 의해 제조되는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 43】

절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와;

상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와;

상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와;

상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와;

상기 노출된 반도체층상에 실리사이드막을 형성하는 단계와;

상기 실리사이드막하부의 반도체층으로 고농도 불순물을 이온주입하여, 상기 게이트로부터 일정거리만큼 떨어진 오프셋구조를 갖는 소오스/드레인 영역을 형성하는 단계와;

상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계와;

기판전면에 평탄화막을 형성하는 단계와;

제 4마스크를 사용하여 상기 소오스/드레인 전극중 하나가 노출되도록 상기 평탄화막을 식각하여 콘택홀을 형성하는 단계와;

제5마스크를 사용하여 상기 콘택홀을 포함한 충간 절연막상에 양극을 형성하는 단계와;

-----상기 양극상에 유기박막층을 형성하는 단계와-----

상기 유기박막층상에 음극을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시소자의 제조방법.

【청구항 44】

제 43 항의 액티브 매트릭스형 표시소자의 제조방법에 의해 제조되는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 45】

절연기판상에 제1마스크를 이용하여 반도체층을 형성하는 단계와;

상기 반도체층을 포함하는 절연기판상에 게이트 절연막을 형성하는 단계와;

상기 반도체층 상부의 게이트 절연막상에 제2마스크를 이용하여 그의 상부에 게이트 캡핑층을 구비한 게이트를 형성하는 단계와;

상기 게이트를 마스크로 하여 상기 반도체층으로 저농도의 불순물을 이온주입하여 저농도 소오스/드레인 영역을 형성하는 단계와;

상기 게이트의 측벽에 스페이서를 형성함과 동시에 반도체층을 노출시키는 단계와;

상기 노출된 반도체층상에 실리사이드막을 형성하는 단계와;

상기 실리사이드막하부의 반도체층으로 상기 저농도 소오스/드레인 영역을 위한 불순물과 동일 도전형을 갖는 고농도 불순물을 이온주입하여 고농도 소오스/드레인 영역을 형성하여 LDD 구조를 형성하는 단계와;

상기 고농도 소오스/드레인 영역과 직접 콘택되는 소오스/드레인 전극을 제3마스크를 이용하여 형성하는 단계와;

기판전면에 평탄화막을 형성하는 단계와;

제4마스크를 사용하여 상기 소오스/드레인 전극중 하나가 노출되도록 상기 평탄화막을 식각하여 콘택홀을 형성하는 단계와;

제 5마스크를 사용하여 상기 콘택홀을 포함한 충간 절연막상에 양극을 형성하는 단계와;

상기 양극상에 유기박막층을 형성하는 단계와;

상기 유기박막층상에 음극을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시소자의 제조방법.

【청구항 46】

제 45항의 액티브 매트릭스형 표시소자의 제조방법에 의해 제조되는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 47】

서로 교차하도록 절연기판상에 배열된 게이트선 및 데이터선과; 상기 게이트선에 교차하고 상기 데이터선에 평행하게 배열된 전원인가선과; 상기 게이트선 및 데이터선과 전원인가선에 의해 한정되는 화소영역에 형성된 화소를 포함하며, 상기 화소는 제1게이트, 제1반도체층 및 제1소오스/드레인 전극을 구비한 제1박막 트랜지스터, 제2게이트, 제2반도체층 및 제2소오스/드레인 전극을 구비한 제2박막 트랜지스터, 제1 및 제2전극을 구비한 캐패시터 및 화소전극을 포함하는 액티브 매트릭스형 표시소자에 있어서, 상기 제1박막 트랜지스터의 상기 제1소오스/드레인 전극은 상기 제1반도체층과 직접 콘택되고, 상기 제1소오스/드레인 전극중 하나는 연결패드를 통해 상기 캐패시터의 제1전극에 연결되며, 상기 제2박막 트랜지스터의 상기 제2소오스/드레인 전극은 상기 제2반도체층과 직접 콘택되고, 상기 제2소오스/드레인 전극중 하나는 콘택홀을 통해 상기 화소전극과 콘택되는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 48】

제 47 항에 있어서, 상기 제1박막 트랜지스터의 제1게이트는 상기 게이트선으로부터 연장 형성되고, 상기 제2박막 트랜지스터의 제2게이트는 상기 제1캐패시터의 제1전극으로부터 연장형성되어, 상기 제2박막 트랜지스터의 제2소오스/드레인 전극중 다른 하나는 상기 전원인가선으로부터 연장형성되고, 상기 제2박막 트랜지스터의 제2소오스/드레인 전극중 다른 하나는 상기 전원인

가선으로부터 연장형성되며, 상기 제1박막 트랜지스터의 소오스/드레인 전극중 다른 하나는 상기 데이터선으로부터 연장형성되는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 49】

서로 교차하도록 절연기판상에 배열된 게이트선 및 데이터선과; 상기 게이트선에 교차하고 상기 데이터선에 평행하게 배열된 전원인가선과; 상기 게이트선 및 데이터선과 전원인가선에 의해 한정되는 화소영역에 형성된, 제1 및 제2박막 트랜지스터, 캐패시터 및 화소전극을 구비한 화소를 포함하는 액티브 매트릭스형 표시소자에 있어서,

상기 절연기판상에 형성된 제1박막 트랜지스터의 제1반도체층 및 상기 제2박막 트랜지스터의 제2반도체층과;

상기 제1 및 제2반도체층의 양측이 노출되도록 상기 제1 및 제2반도체층에 각각 형성된 제1 및 제2게이트 절연막 그리고 기판상에 형성된 제3게이트 절연막과;

상기 제1 및 제2게이트 절연막상에 각각 형성된, 그의 상부에 각각 제1 및 제2캡핑층을 구비하는 상기 제1박막 트랜지스터의 제1게이트 및 제2게이트와;

상기 제3게이트 절연막상에 형성된, 그의 상부에 유전막을 구비한 상기 캐패시터의 제1전극과;

상기 제1 및 제2박막 트랜지스터의 제1 및 제2게이트와 상기 캐패시터의 제1전극의 측벽에 형성된 스페이서와;

상기 노출된 제1반도체층에 형성된 제1박막 트랜지스터의 고농도/소오스 영역 및 상기 노출된 제2반도체층상에 형성된 제2박막 트랜지스터의 고농도/소오스 영역과;

상기 제1 및 제2소오스/드레인 영역과 직접 콘택되도록 기판상에 각각 형성된 제1 및 제2박막 트랜지스터의 제1 및 제2소오스/드레인 전극과;

상기 캐패시터의 유전막상에 형성된 캐패시터의 제2전극과;

상기 제1 및 제2박막 트랜지스터의 제1 및 제2소오스/드레인 전극중 하나를 각각 노출시키는 제1 및 제2콘택홀과 상기 캐패시터의 제1전극을 노출시키는 제3콘택홀을 구비한 평탄화막과;

상기 평탄화막상에 상기 제1콘택홀을 통해 상기 제2박막 트랜지스터의 제2소오스/드레인 전극중 하나와 연결되도록 형성된 화소전극과;

상기 평탄화막상에 상기 제2 및 제3콘택홀을 통해 상기 제1박막 트랜지스터의 제1소오스/드레인 전극중 하나와 상기 캐패시터의 제1전극을 연결하도록 형성된 연결패드를 구비하는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 50】

제 49 항에 있어서, 상기 제1 및 제2고농도 소오스/드레인 영역은 상기 제1 및 제2 게이트로부터 각각 일정거리만큼 떨어져 형성된 오프셋구조를 갖는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 51】

제 49 항에 있어서, 제1 및 제2박막 트랜지스터의 상기 스페이서 하부에 각각 형성된 제1 및 제2저농도 소오스/드레인 영역을 더 포함하여, 상기 제1 및 제2고농도 소오스/드레인 영역과 함께 LDD구조를 형성하는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 52】

제 49 항에 있어서, 상기 제1 및 제2고농도 소오/드레인 영역은 n형 또는 p형 도전 형 중 하나를 갖는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【청구항 53】

서로 교차하도록 절연기판상에 배열된 게이트선 및 데이터선과; 상기 게이트선에 교차하고 상기 데이터선에 평행하게 배열된 전원인가선과; 상기 게이트선 및 데이터선과 전원인가선에 의해 한정되는 화소영역에 형성된, 제1 및 제2박막 트랜지스터, 캐패시터 및 화소전극을 구비한 화소를 포함하는 액티브 매트릭스형 표시소자를 제조하는 방법에 있어서,

상기 기판상에 제1마스크를 이용하여 제1박막 트랜지스터의 제1반도체층과 제2박막 트랜지스터의 제2반도체층을 형성하는 단계와;

상기 제1 및 제2반도체층을 포함하는 기판상에 게이트 절연막을 형성하는 단계와; 제 2마스크를 이용하여 상기 제1 및 제2반도체층상부의 게이트 절연막상에 각각 제1 및 제2게이트 캡핑층을 포함하는 제1 및 제2게이트와 게이트 절연막상에 유전막을 포함하는 상기 캐패시터의 제1전극 그리고 상기 게이트선을 형성하는 단계와;

상기 제1 및 제2게이트의 측벽과 제1전극의 측벽에 스페이서를 형성함과 동시에 상기 제1 및 제2반도체층을 노출시키는 단계와;

상기 노출된 제1반도체층에 제1박막 트랜지스터의 제1고농도 소오스/드레인 영역과 상기 노출된 제2반도체층에 제2박막 트랜지스터의 제2고농도 소오스/드레인 영역을 형성하는 단계와;

제3마스크를 이용하여 상기 제1고농도 소오스/드레인 영역과 직접 콘택되는 제1소오스/드레인 전극 및 상기 제2고농도 소오스/드레인 영역과 직접 콘택되는 제2소오스/드레인 전극 그리고 상기 캐패시터의 유전막상에 제2전극 그리고 기판상에 상기 데이터선 및 전원인가선을 형성하는 단계와;

기판전면에 평탄화막을 형성하는 단계와;

제4마스크를 이용하여 상기 평탄화막을 식각하여 상기 제1고농도 소오스/드레인 영역 중 하나를 노출시키는 제1콘택홀, 상기 제2고농도 소오스/드레인 영역 중 하나를 노출시키는 제2콘택홀 및 상기 캐패시터의 제1전극을 노출시키는 제3콘택홀을 형성하는 단계와;

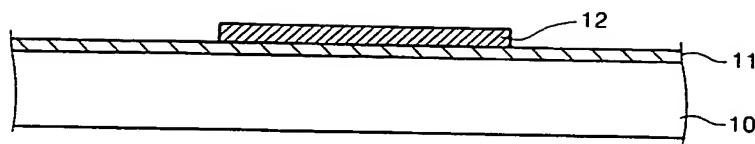
제5마스크를 이용하여 상기 제1콘택홀을 통해 상기 제1고농도 소오스/드레인 영역 중 하나에 연결되는 화소전극과, 상기 제2 및 제3콘택홀을 통해 상기 제2박막 트랜지스터의 제2고농도 소오스/드레인 영역 중 하나와 상기 캐패시터의 제1전극을 연결하기 위한 연결패드를 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 매트릭스형 표시소자의 제조방법.

【청구항 54】

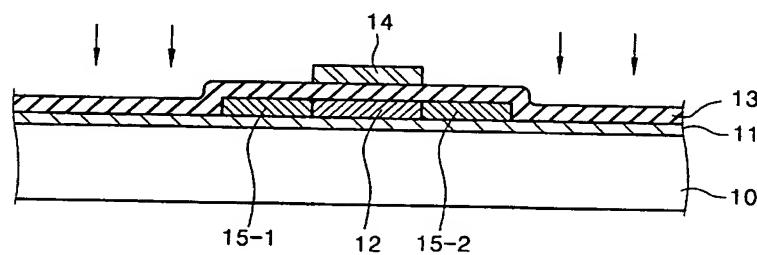
제 53 항의 액티브 매트릭스형 표시소자의 제조방법에 의해 제조되는 것을 특징으로 하는 액티브 매트릭스형 표시소자.

【도면】

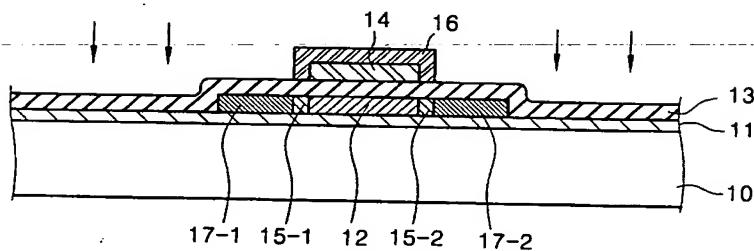
【도 1a】



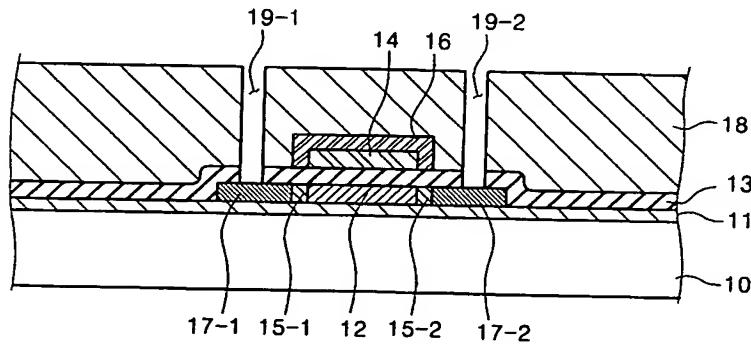
【도 1b】



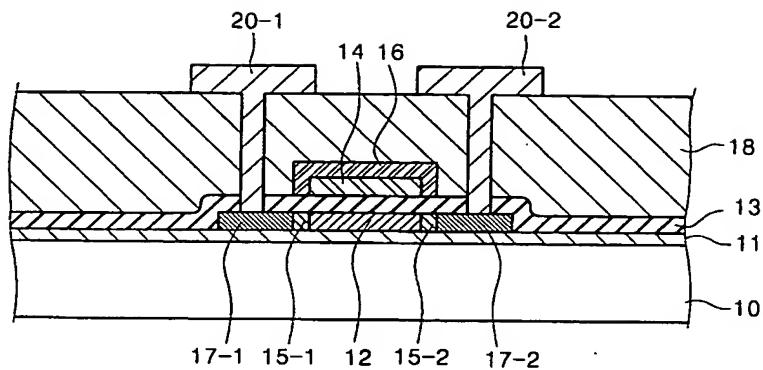
【도 1c】



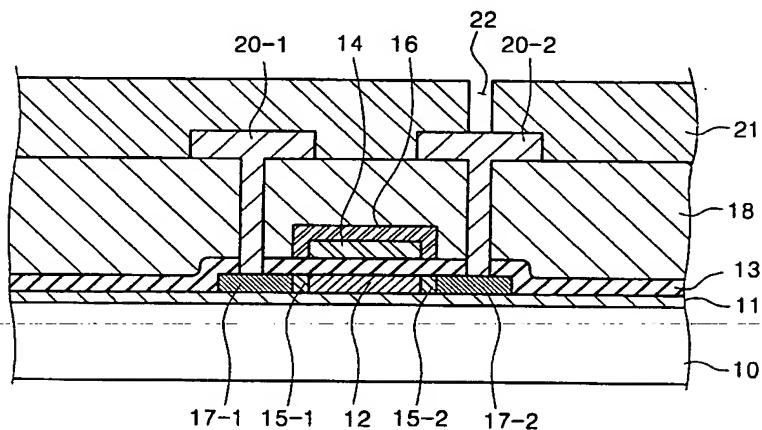
【도 1d】



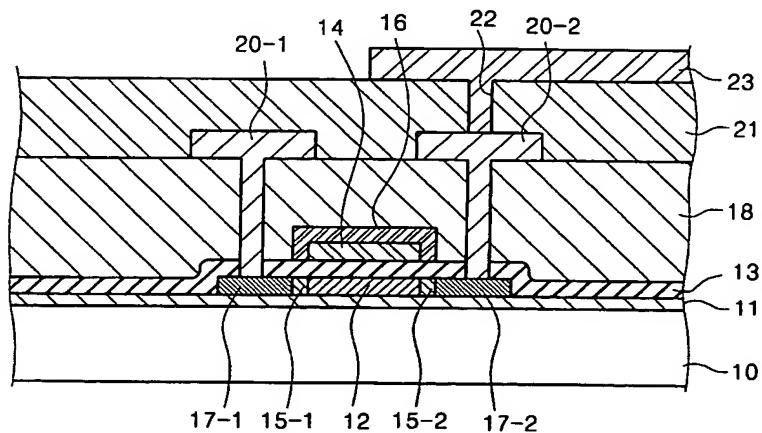
【도 1e】



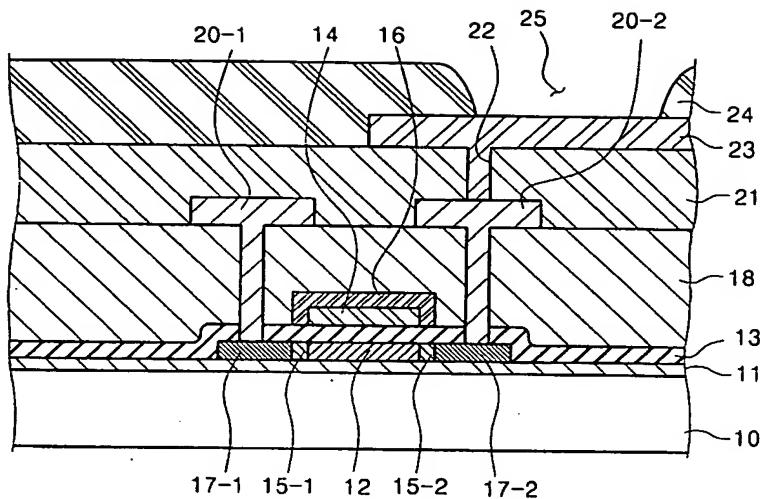
【도 2a】



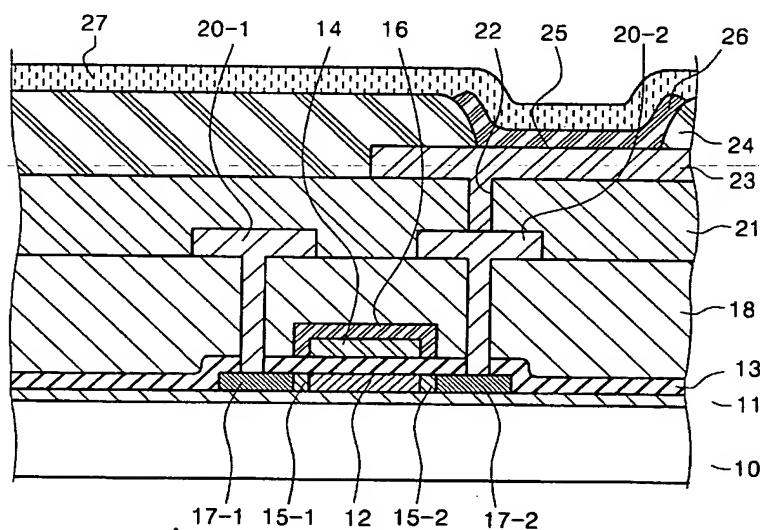
【도 2b】



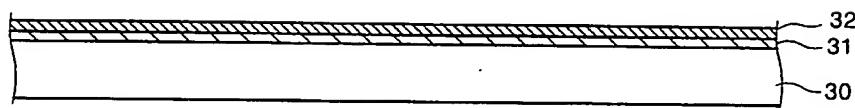
【도 2c】



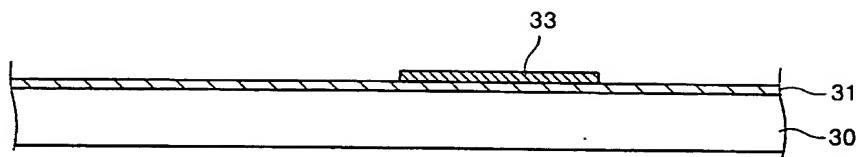
【도 2d】



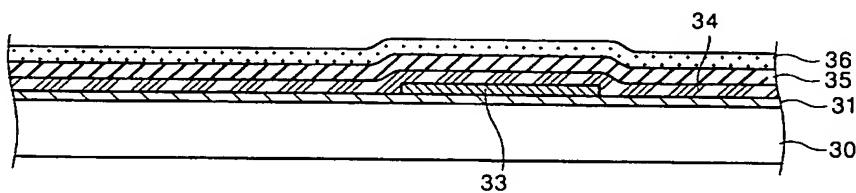
【도 3a】



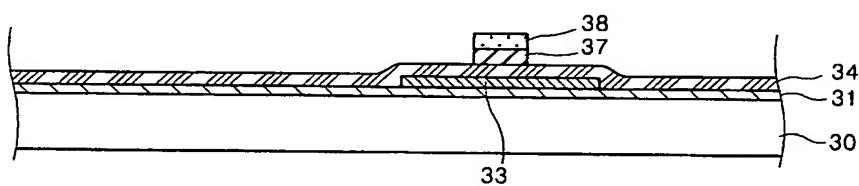
【도 3b】



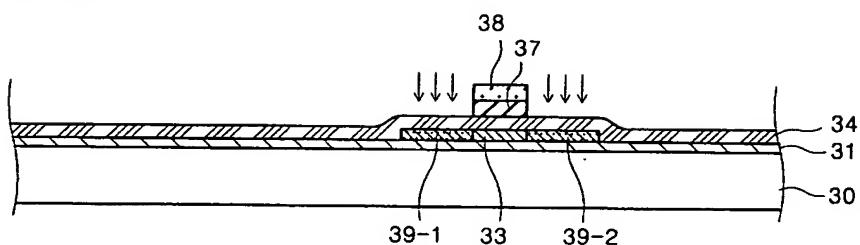
【도 3c】



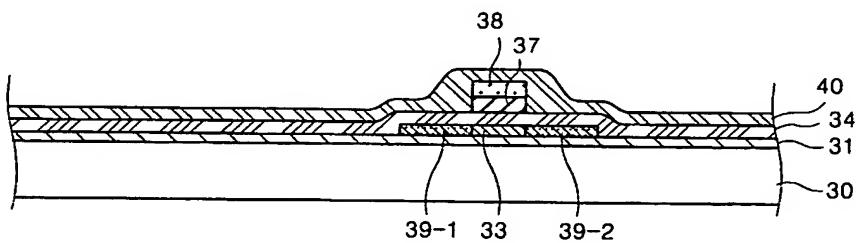
【도 3d】



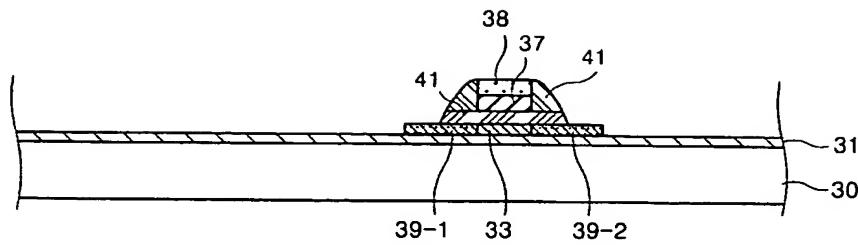
【도 3e】



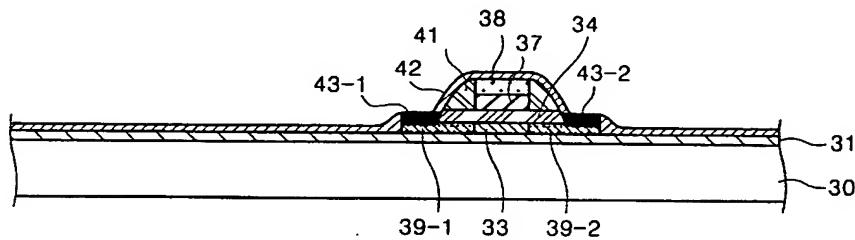
【도 3f】



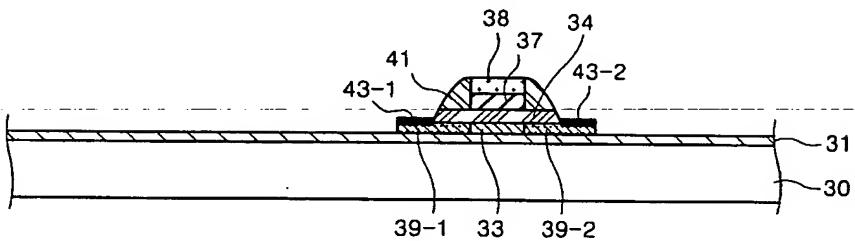
【도 3g】



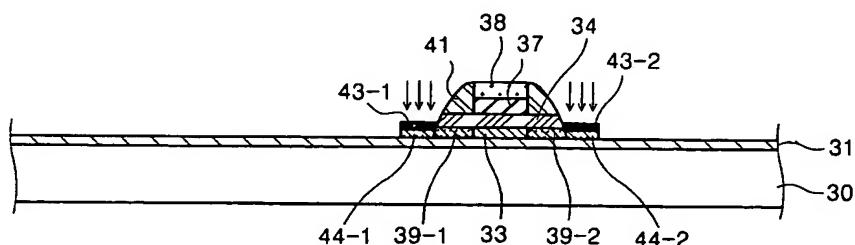
【도 3h】



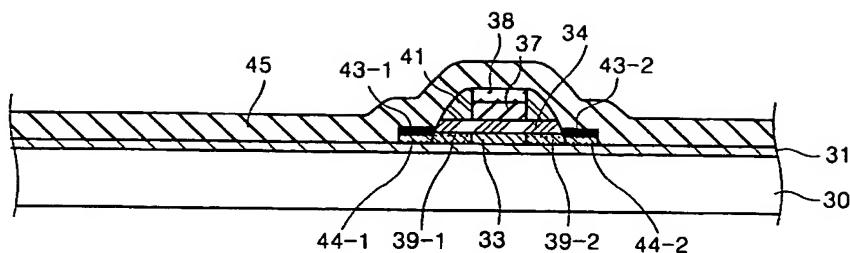
【도 3i】



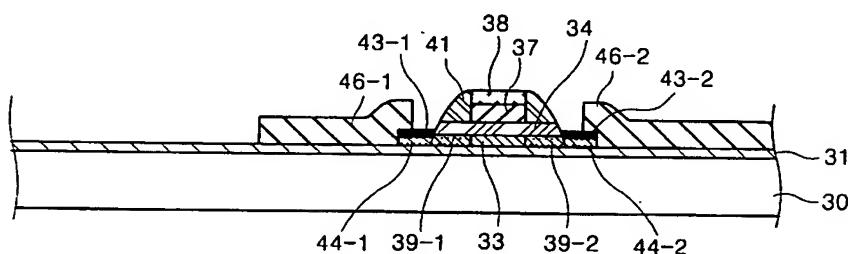
【도 3j】



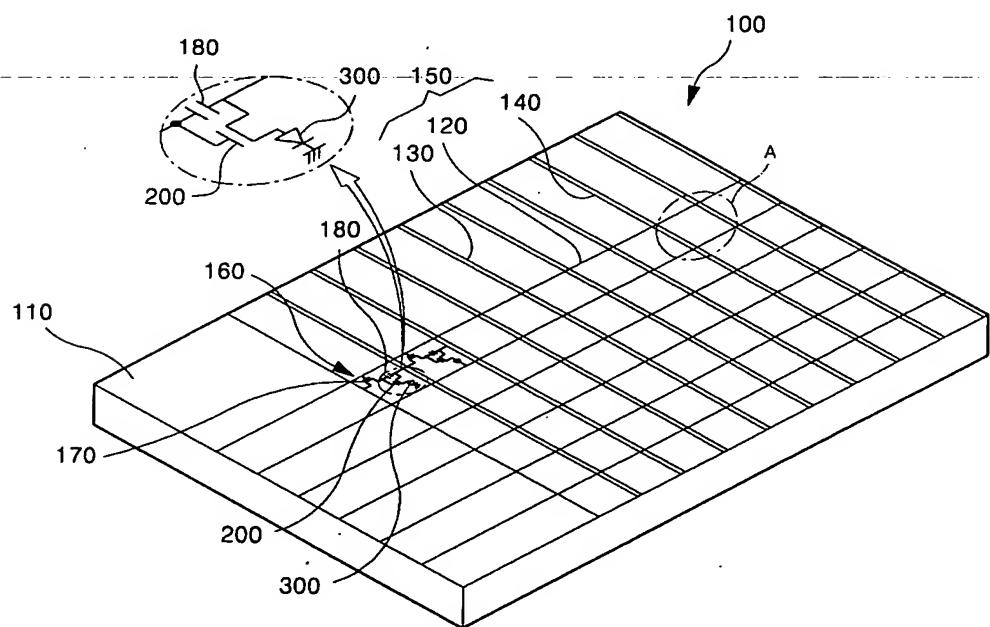
【도 3k】



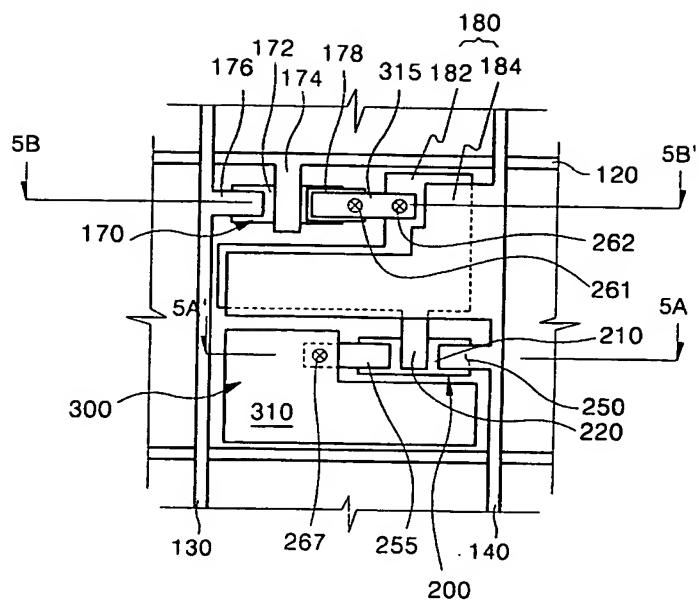
【도 3l】



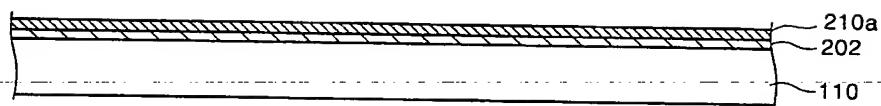
【도 4】



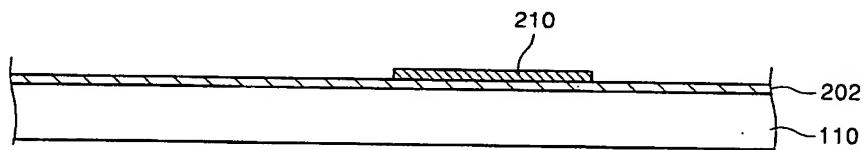
【도 5】



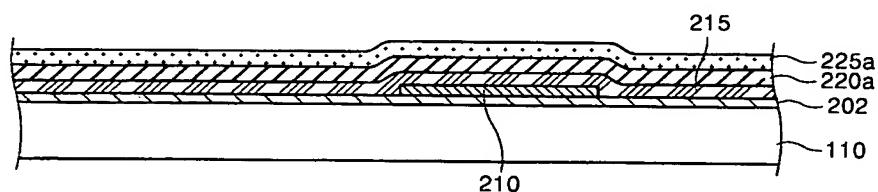
【도 6a】



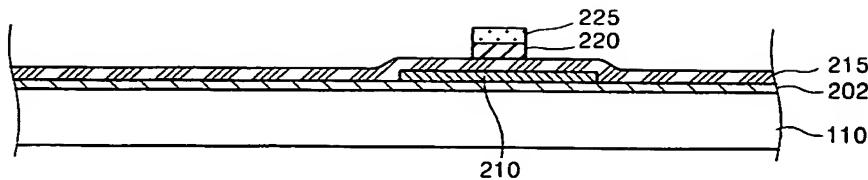
【도 6b】



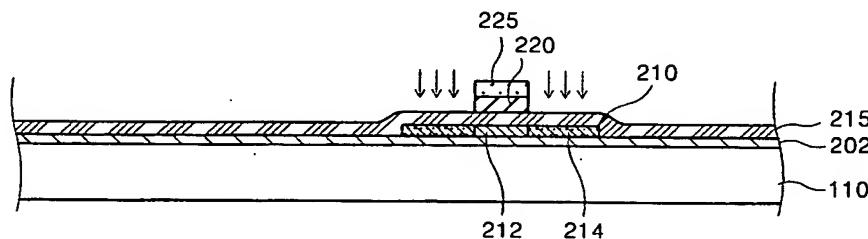
【도 6c】



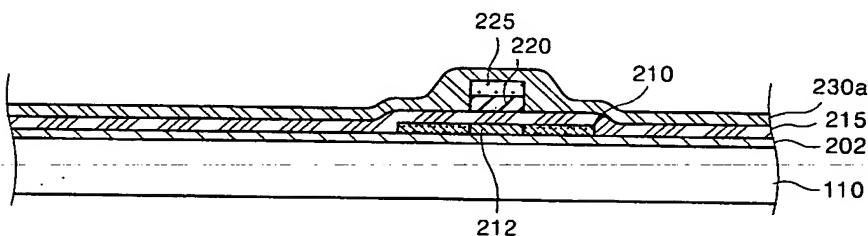
【도 6d】



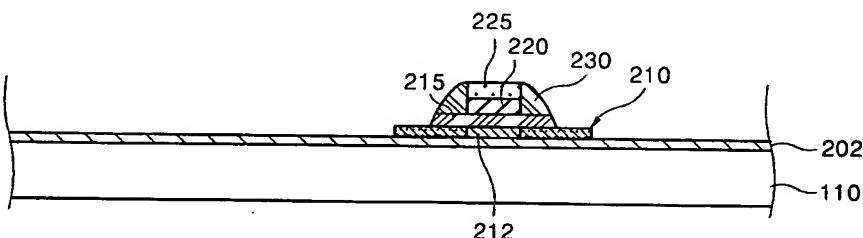
【도 6e】



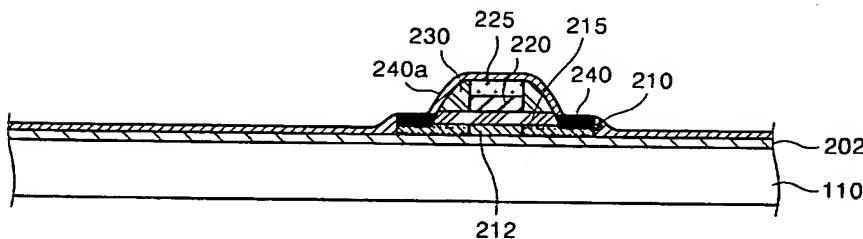
【도 6f】



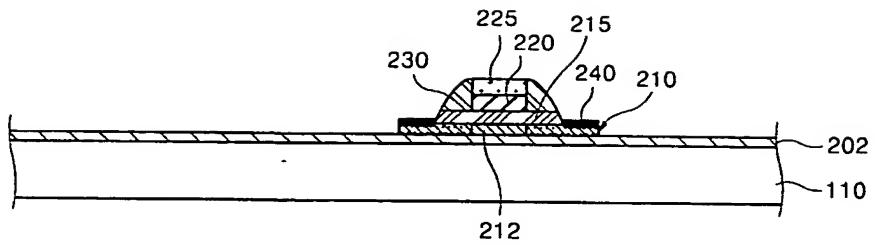
【도 6g】



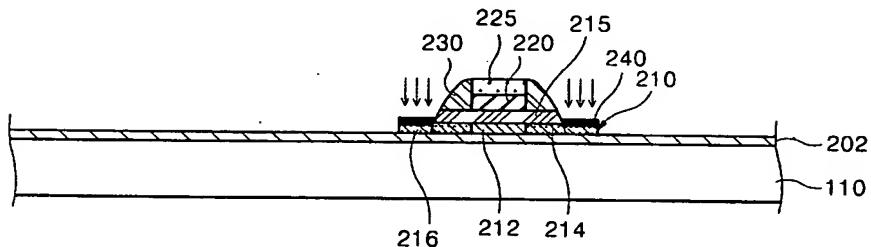
【도 6h】



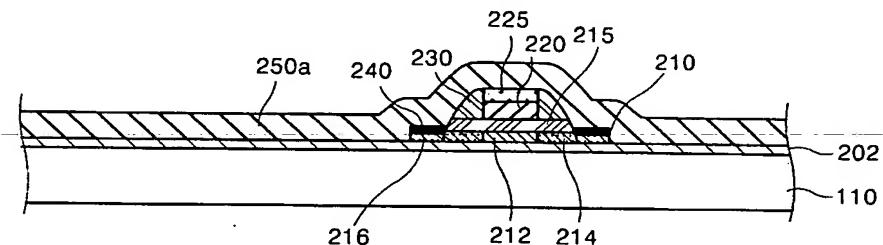
【도 6i】



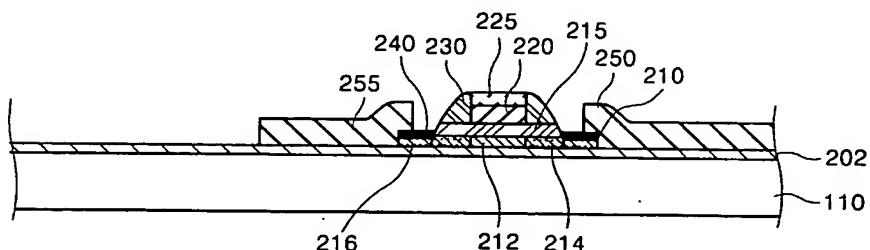
【도 6j】



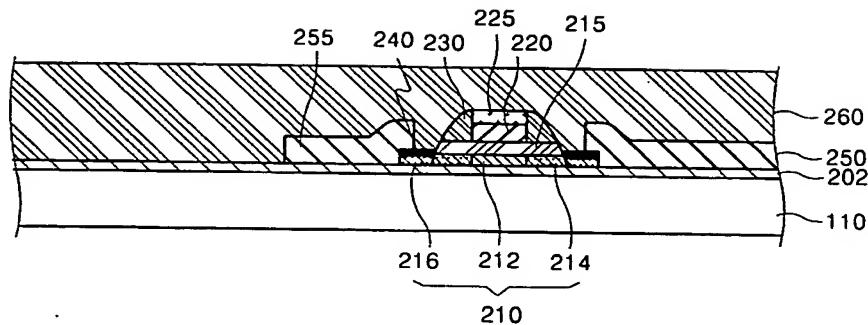
【도 6k】



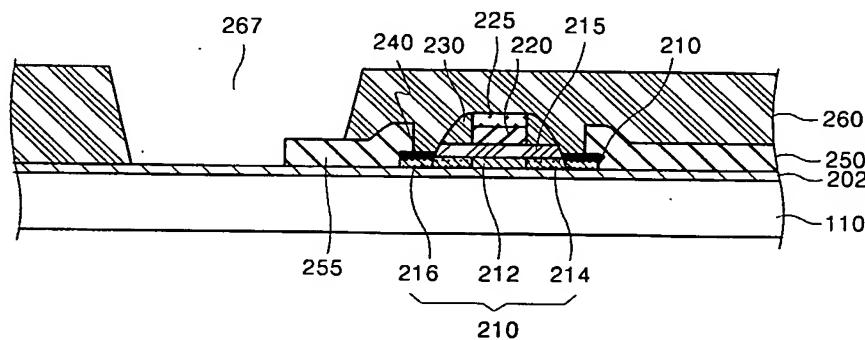
【도 6l】



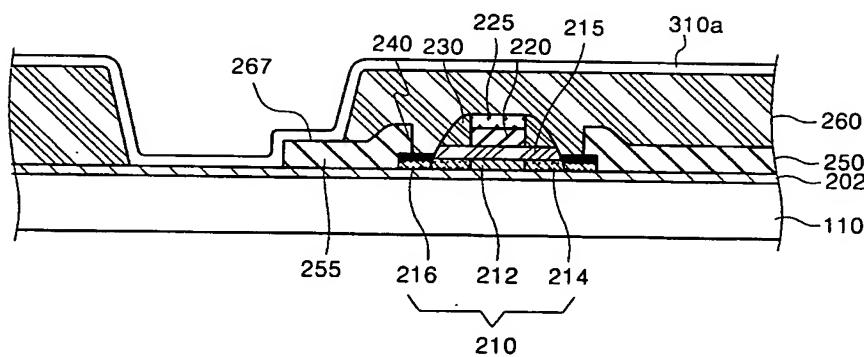
【도 6m】



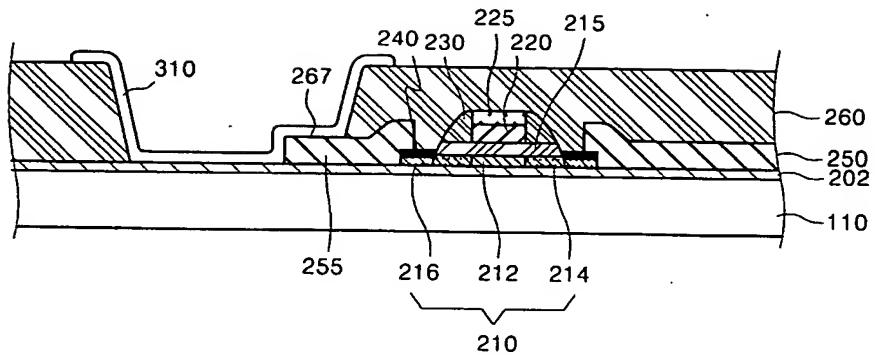
【도 6n】



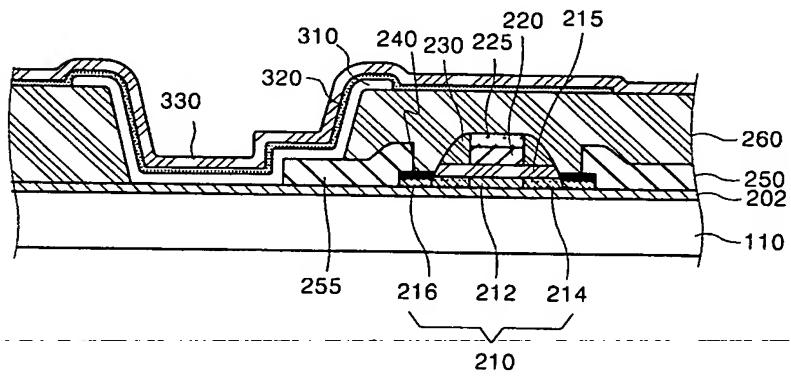
【도 6o】



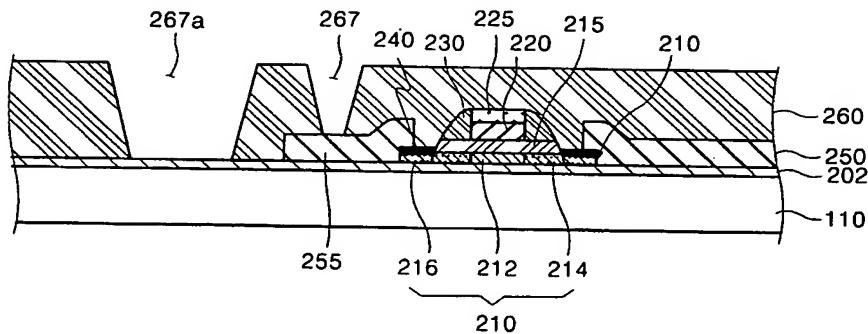
【도 6p】



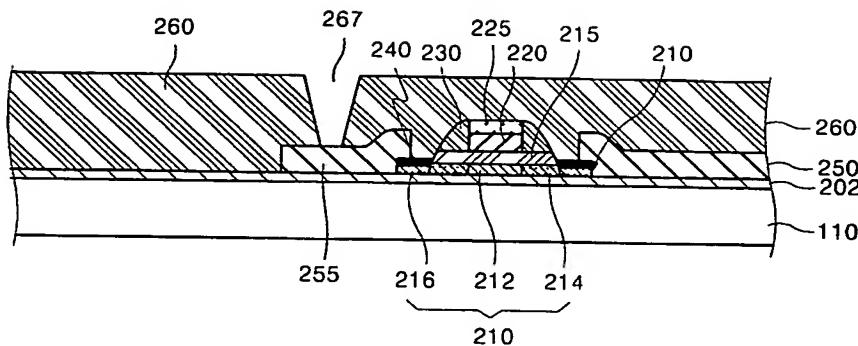
【도 6q】



【도 7】



【도 8】



【도 9】

